

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 8 月 11 日 (11.08.2005)

PCT

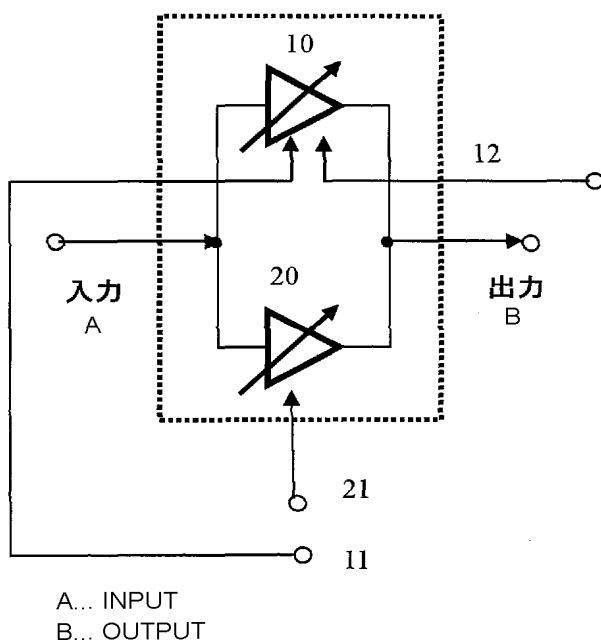
(10) 国際公開番号  
WO 2005/074128 A1

- (51) 国際特許分類: H03G 3/00, 3/20, H03F 3/68
- (21) 国際出願番号: PCT/JP2005/001129
- (22) 国際出願日: 2005 年 1 月 27 日 (27.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-023658 2004 年 1 月 30 日 (30.01.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 崇敏 (TANAKA, Takatoshi). 日野 拓生 (HINO, Takuo).
- (74) 代理人: 宮井 暎夫, 外 (MIYAI, Teruo et al.); 〒5400008 大阪府大阪市中央区大手前 1 丁目 7 番 3 1 号 宮井特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告書  
— 補正書・説明書

[続葉有]

(54) Title: VARIABLE GAIN CIRCUIT

(54) 発明の名称: 可変利得回路



(57) Abstract: It is possible to realize a low distortion even at a strong input level and maintain a smooth gain change. A variable gain circuit includes a first amplifier (10) of high gain and low noise capable of controlling the gain by a first gain control signal, a second amplifier (20) of low gain and low distortion capable of controlling the gain by a second gain control signal, and a third amplifier (30) connected to outputs of the first and the second amplifier (10, 20). The input terminal of the first amplifier (10) is connected to the input terminal of the second amplifier (20) and the output terminal of the first amplifier (10) is connected to the output terminal of the second amplifier (20). The output of the first amplifier (10) is turned ON or OFF by a mode switching signal. The gain change by ON/OFF of the first amplifier (10) is corrected by the third amplifier (30).

(57) 要約: 強入力レベルにおいても低歪みを実現し、円滑な利得変化を維持する。第1の利得制御信号によって利得制御可能である高利得・低ノイズの第1の増幅器(10)と、第2の利得制御信号によって利得制御可能である低利得・低歪みの第2の増幅器(20)とを設け、さらに第1および第2の増幅器(10, 20)の出力に第3の増幅器(30)を結合する。第1の増幅器(10)の入力端と第2の増幅器(20)の入力端とを互いに結合し、かつ第1の増幅器(10)の出力端と第2の増幅器(20)の出力端とを互いに結合する。そして、モード切り替え信号により第1の増幅器(10)の出力をオンまたはオフする。第1の増幅器(10)のオンオフによる利得の変化を第3の増幅器(30)で補正する。



---

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 可変利得回路

### 技術分野

[0001] 本発明は、移動体端末を含む無線通信機器で使用される可変利得回路に関するものである。

### 背景技術

[0002] 可変利得回路の先行技術を図23に示す。この可変利得回路は、高利得・低ノイズ特性を有する電圧入力電流出力型の第1の増幅器10と、低利得・低歪み特性を有する第2の電圧入力電流出力型の増幅器20とを備えている。第1の増幅器10は第1の利得制御信号11によって利得が制御される。また、第2の増幅器20は第2の利得制御信号21によって利得が制御される。

[0003] 第1および第2の増幅器10, 20は互いに並列に接続されている。具体的に説明すると、第1の増幅器10の入力と第2の増幅器20の入力とが互いに結合されている。それによって、第1および第2の増幅器10, 20に電圧入力信号が共通に与えられる。また、第1の増幅器10の出力と第2の増幅器20の出力とが互いに結合されている。それによって、第1の増幅器10の電流出力信号と第2の増幅器20の電流出力信号とが加算合成される。

[0004] 図24に、図23における第1および第2の増幅器10, 20のより具体的な構成を示す。図24に示すように、第1の増幅器10は、高利得・低ノイズ特性を有する電圧入力電流出力型の固定利得増幅器10aと、固定利得増幅器10aの出力電流を第1の利得制御信号11に応じた分流比で2つの電流出力端10c, 10dへ分流する分流回路10bとで構成される。また、第2の増幅器20は、低利得・低歪み特性を有する電圧入力電流出力型の固定利得増幅器20aと、固定利得増幅器20aの出力電流を第2の利得制御信号21に応じた分流比で2つの電流出力端20c, 20dへ分流する分流回路20bとで構成される。

[0005] そして、第1の固定利得増幅器10aの入力端と第2の固定利得増幅器20aの入力端とがそれぞれ第1および第2の増幅器10, 20の入力端となり、第1の分流回路10b

のいずれか一方の電流出力端10cと第2の分流回路20bのいずれか一方の電流出力端20cとがそれぞれ第1および第2の増幅器10, 20の出力端となる。

[0006] この可変利得回路は、例えば、入力信号のレベル変化にかかわらず、出力信号レベルが一定となるように、第1および第2の利得制御信号11, 21を用いて第1および第2の増幅器10, 20の利得を制御する。具体的には、入力信号のレベルが低いときには、第1および第2の増幅器10, 20の合成利得を高くし、入力信号のレベルが高いときには、第1および第2の増幅器10, 20の合成利得を低くすることにより、出力信号レベルを一定とする。

[0007] 上記のように、入力信号のレベルに応じて第1および第2の増幅器10, 20の合成利得を変化させるためには、第1および第2の利得制御信号11, 21により第1および第2の増幅器10, 20の各々の利得寄与度を変化させることが必要である。

[0008] 第1および第2の増幅器10, 20を図24のように構成した場合に、第1および第2の増幅器10, 20の各々の可変利得回路の出力に対する利得寄与度は、分流回路10b, 20bの分流比を変化させることによって変化させることが可能である。つまり、第1の増幅器10について電流出力端10cに流す電流を多くし、第2の増幅器20について電流出力端20cに流す電流を少なくすると、第1の増幅器10の利得寄与度が大きく、第2の増幅器20の利得寄与度が小さくなる。逆に、第1の増幅器10について電流出力端10cに流す電流を少なくし、第2の増幅器20について電流出力端20cに流す電流を多くすると、第1の増幅器10の利得寄与度が小さく、第2の増幅器20の利得寄与度が大きくなる。

[0009] 以上のように、第1および第2の利得制御信号11, 21により第1および第2の増幅器10, 20の各々の利得寄与度を変化させることにより、低利得から高利得まで円滑に変えられるように可変利得回路を構成すると、高利得時に低ノイズ特性を有し低利得時に低歪み特性を有する広ダイナミックレンジの可変利得回路を実現することができる。

[0010] 図23に示した可変利得回路のさらに具体的な回路構成例を図25に示す。この可変利得回路は、差動対1と差動対2とを有している。

[0011] 差動対1は、高利得・低ノイズの増幅器を構成する。トランジスタQ1とトランジスタQ

2とは、エミッタ同士が抵抗R1を介して互いに結合され、それぞれのエミッタに電流源I11, I12が接続されている。

[0012] 差動対2は、低利得・低歪みの増幅器を構成する。トランジスタQ3とトランジスタQ4とは、エミッタ同士が抵抗R2を介して互いに結合され、それぞれのエミッタに電流源I21, I22が接続されている。

[0013] そして、差動対1, 2は、入力端同士が結合されている。具体的には、トランジスタQ1のベースとトランジスタQ3のベースとが互いに結合され、差動入力Vin1となっている。また、トランジスタQ2のベースとトランジスタQ4のベースとが互いに結合され、差動入力Vin2となっている。

[0014] さらに、差動対1, 2の出力端同士が結合されている。具体的には、トランジスタQ5, Q6のエミッタ同士が結合されてトランジスタQ3のコレクタに接続されている。トランジスタQ7, Q8のエミッタ同士が結合されてトランジスタQ1のコレクタに接続されている。トランジスタQ9, Q10のエミッタ同士が結合されてトランジスタQ2のコレクタに接続されている。トランジスタQ11, Q12のエミッタ同士が結合されてトランジスタQ4のコレクタに接続されている。トランジスタQ6, Q7のコレクタ同士が結合されている。トランジスタQ10, Q11のコレクタ同士が結合されている。トランジスタQ5, Q8, Q9, Q12のコレクタはそれぞれ抵抗を介して電源Vccに接続されている。

[0015] 以上のような構成において、可変利得回路の出力としては、トランジスタQ6, Q7のコレクタ同士の結合点からコレクタ電流Iout1が取り出され、トランジスタQ10, Q11のコレクタ同士の結合点からコレクタ電流Iout2が取り出される。

[0016] また、トランジスタQ7, Q10のベースには第1の利得制御電圧(利得制御信号)Vgca1の正極が結合され、トランジスタQ8, Q9のベースには第1の利得制御電圧Vgca1の負極が結合されている。また、トランジスタQ6, Q11のベースには第2の利得制御電圧(利得制御信号)Vgca2の正極が結合され、トランジスタQ5, Q12のベースには、第2の利得制御電圧Vgca2の負極が結合されている。

[0017] つぎに、この可変利得回路における利得制御の方法について説明する。トランジスタQ1のコレクタ電流が、利得制御電圧Vgca1に応じてトランジスタQ7とトランジスタQ8とに分流する。そのため、トランジスタQ7とトランジスタQ8とは利得制御電圧Vgca1

により制御可能な線形電流分流器を形成する。同様に、トランジスタQ2のコレクタ電流が、利得制御電圧Vgca1によってトランジスタQ9とトランジスタQ10とに分流する。そのため、トランジスタQ9とトランジスタQ10とは利得制御電圧Vgca1により制御可能な線形電流分流器を形成する。

[0018] すると、利得制御電圧Vgca1の正極側がベースに結合されているトランジスタQ7とトランジスタQ10とのコレクタ電流のペアと、負極側がベースに結合されているトランジスタQ8とトランジスタQ9とのコレクタ電流のペアとの電流比を利得制御電圧Vgca1によって制御することができる。

[0019] また、トランジスタQ3のコレクタ電流が、利得制御電圧Vgca2によってトランジスタQ5とトランジスタQ6とに分流する。そのため、トランジスタQ5とトランジスタQ6とは利得制御電圧Vgca2により制御可能な線形電流分流器を形成する。同様に、トランジスタQ4のコレクタ電流が、利得制御電圧Vgca2によってトランジスタQ11とトランジスタQ12とに分流する。そのため、トランジスタQ11とトランジスタQ12とは利得制御電圧Vgca2により制御可能な線形電流分流器を形成する。

[0020] すると、利得制御電圧Vgca2の正極側がベースに結合されているトランジスタQ6とトランジスタQ11とのコレクタ電流のペアと、負極側がベースに結合されているトランジスタQ5とトランジスタQ12とのコレクタ電流のペアの電流比を利得制御電圧Vgca2によって制御することができる。

[0021] トランジスタQ6, Q7のコレクタ同士を結合して取り出されるコレクタ電流の和をIout1、トランジスタQ10, Q11のコレクタ同士を結合して取り出されるコレクタ電流の和をIout2とすると、これまでの説明から電流Iout1と電流Iout2は差動電流となることがわかる。

[0022] そして、トランジスタQ1, Q2に流れる電流は、利得制御電圧Vgca1を変化させることによって、トランジスタQ7, Q8, Q9, Q10で以下のように分流され、トランジスタQ3, Q4に流れる電流は、利得制御電圧Vgca2を変化させることによって、トランジスタQ5, Q6, Q11, Q12で以下のように分流されている。

[0023] すなわち、弱入力ではノイズ・フィギュア (Noise Figure) を劣化させないように、高利得・低ノイズの増幅器を構成する差動対1のコレクタ電流が出力電流Iout1とIout2の主

体となるように、トランジスタQ1, Q2, Q3, Q4に流れる電流が分流される。また、強入力では歪みを発生させないよう低利得・低歪みの増幅器を構成する差動対2のコレクタ電流が出力電流Iout1とIout2の主体となるように、トランジスタQ1, Q2, Q3, Q4に流れる電流が分流される。そして、分流した電流を合計して、出力電流Iout1とIout2を取り出すときに、分流比を調整することによって、可変利得回路の合計利得を円滑に変化させることができる。

特許文献1:特表2002-510888号公報

## 発明の開示

### 発明が解決しようとする課題

- [0024] しかしながら、先行技術による可変利得回路においては、合計利得を円滑に変化させている。そのため、ある強入力レベルにおいては、低利得・低歪みの増幅器20からの利得と、高利得・低ノイズの増幅器10のわずかな利得とが合計されるときがある。その結果、ダイナミックレンジの狭い高利得・低ノイズの増幅器10の出力の歪み成分が可変利得回路の出力に混入してしまう。さらに入力レベルを大きくしていくと、高利得・低ノイズの増幅器10の利得がゼロに近づいていくので歪み成分は小さくなる。
- [0025] つまり、ある強入力レベルにおいて、可変利得回路の歪み成分が大きくなるという課題があった。この点について、図25を用いて具体的に説明する。トランジスタQ7, Q10のコレクタ電流が完全に遮断されていないために、トランジスタQ1, Q2の非線形性がトランジスタQ7, Q10を介して、可変利得回路の出力における歪み成分という形で現れてしまう。
- [0026] したがって、本発明の目的は、強入力時に低歪みとなり、微弱入力から強入力まで広いダイナミックレンジにわたって、線形に近い特性を得ることができる可変利得回路を提供することである。

### 課題を解決するための手段

- [0027] 上記課題を解決するために、本発明では、利得制御される高利得の増幅器と低利得の増幅器の並列回路からなる可変利得回路において、強入力時に高利得の増幅器の出力をオフすることによって歪み成分を完全にカットする構成を採用する。これ

によって、強入力時に低歪みとなり、微弱入力から強入力まで広いダイナミックレンジにわたって、線形に近い特性を得ることができる。

[0028] また、高利得の増幅器の出力がオフしたことによる利得の減少を次段の増幅器で補正する機能を備える構成を採用してもよい。これにより、利得を円滑に変化させることが可能となる。

[0029] 上記解決手段に加えて、高利得の増幅器のオフを許可するアクティブ状態と、オフを禁止するスリープ状態を実現する回路を備えてもよい。上記のアクティブ状態とは、強入力時に高利得の増幅器をオフにする状態である。また、スリープ状態とは、強入力であっても高利得の増幅器をオフしない状態である。

[0030] 以下、詳しく説明する。

[0031] 本発明の可変利得回路は、第1の増幅器入力および第1の増幅器出力を有し第1の利得制御信号によって利得制御される高利得の第1の増幅器と、第2の増幅器入力および第2の増幅器出力を有し第2の利得制御信号によって利得制御される低利得の第2の増幅器とを備えている。そして、第1の増幅器入力と第2の増幅器入力とが互いに結合されることにより第1および第2の増幅器に入力信号が共通に与えられ、かつ第1の増幅器出力と第2の増幅器出力とが互いに結合されることにより、第1の増幅器の出力信号と第2の増幅器の出力信号とが加算合成される。さらに、第1の増幅器はモード切り替え信号に応じて出力をオンオフする機能を有している。

[0032] 本発明によれば、並列に設けられた高利得の第1の増幅器と低利得の第2の増幅器のうち、第1の増幅器の出力をモード切り替え信号によってオンオフできるようにしている。そのため、強入力時に第1の増幅器の出力をオフにすることにより、強入力時に低歪みとなり、微弱入力から強入力まで広いダイナミックレンジにわたって、線形に近い特性を得ることができる。

[0033] 上記本発明の可変利得回路の構成において、第1の増幅器は、例えば電圧入力電流出力型の第1の固定利得増幅器と、第1の固定利得増幅器の出力電流を第1の利得制御信号に応じた分流比で2つの電流出力端へ分流する第1の分流回路とで構成される。また、第2の増幅器は、例えば電圧入力電流出力型の第2の固定利得増幅器と、第2の固定利得増幅器の出力電流を第2の利得制御信号に応じた分流比



で2つの電流出力端へ分流す第2の分流回路とで構成される。

[0034] この構成では、第1の固定利得増幅器の入力端と第2の固定利得増幅器の入力端とがそれぞれ第1の増幅器入力および第2の増幅器入力となる。また、第1の分流回路のいずれか一方の電流出力端と第2の分流回路のいずれか一方の電流出力端とがそれぞれ第1の増幅器出力および第2の増幅器出力となる。

[0035] 上記本発明の可変利得回路においては、第1の利得制御信号の変化に対する第1の増幅器の利得の変化方向と第2の利得制御信号の変化に対する第2の増幅器の利得の変化の方向とが互いに逆に設定され、第1の利得制御信号と第2の利得制御信号が共通化されていることが好ましい。

[0036] また、上記本発明の可変利得回路においては、第1の増幅器入力と第2の増幅器入力がそれぞれ差動入力であることが好ましい。さらに、第1の増幅器出力と第2の増幅器出力がそれぞれ差動出力であることが好ましい。

[0037] また、上記本発明の可変利得回路においては、第3の増幅器入力および第3の増幅器出力を有し第3の利得制御信号によって利得制御される第3の増幅器をさらに備え、第3の増幅器入力を第1の増幅器出力と第2の増幅器出力とに結合することが好ましい。

[0038] この構成によれば、利得制御範囲をさらに広げることができる。

[0039] 上記のように、第3の増幅器を備えた構成においては、第1の増幅器の出力が遮断されると同時に、第1の増幅器の出力が遮断されることによって生じる利得変化分を、第3の利得制御信号により第3の増幅器の利得を変化させることにより補正する利得補正回路を備え、利得補正回路により第3の増幅器出力における振幅が変動しないようにすることが好ましい。

[0040] このようにすれば、第1の増幅器の出力のオンオフ切り替えによる利得変化分を第3の増幅器を用いて補正することができ、第1の増幅器の出力のオンオフ切り替えによる第3の増幅器の出力での振幅変動を防止することができる。

[0041] また、上記本発明の可変利得回路においては、第4の利得制御信号から第1の利得制御信号および第2の利得制御信号を作成する利得制御信号変換回路を備えることが好ましい。また、第3の増幅器を備えた可変利得回路においては、第4の利得

制御信号から第1の利得制御信号、第2の利得制御信号および第3の利得制御信号を作成する利得制御信号変換回路を備えることが好ましい。

[0042] 上記構成においては、モード切り替え信号により第1の増幅器の出力をオフするのに連動して(例えば同時)生じる利得変化分を補正するための利得補正回路を設け、この利得補正回路を用いて利得制御信号変換回路の出力である第3の利得制御信号をシフトすることにより第3の増幅器出力での振幅が変動しないようにすることが好ましい。

[0043] 上記の構成においては、第4の利得制御信号を基準信号と比較することにより、モード切り替え信号を出力する検知回路を備えていることが好ましい。

[0044] また、上記構成においては、第3の増幅器の出力振幅を基準信号と比較することにより、モード切り替え信号を出力する検知回路を備えていることが好ましい。この場合、第4の利得制御信号のレベルを一定にすることにより第1の増幅器、第2の増幅器および第3の増幅器の利得を固定したときの第3の増幅器の出力振幅を基準信号と比較することになる。

[0045] また、上記構成においては、第3の増幅器の出力の後段に増幅器もしくはミキサ回路が接続され、増幅器もしくはミキサ回路の出力信号の振幅を基準信号と比較することにより、モード切り替え信号を出力する検知回路を備えていることが好ましい。

[0046] また、上記構成においては、第1の増幅器の入力振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えていることが好ましい。

[0047] 上記構成においては、検知回路は、第4の利得制御信号の検知、第3の増幅器の出力振幅の検知、増幅器もしくはミキサ回路の出力信号の振幅の検知、または第1の増幅器の入力信号の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えていることが好ましい。

[0048] 上記本発明の構成においては、切り替え許可信号により、第1の増幅器の切り替え動作とそれに連動する利得補正回路の制御を許可するアクティブ状態と、それを禁止するスリープ状態とを実現するモード切り替え状態回路を備えていることが好ましい。

[0049] また、上記本発明の可変利得回路においては、第1の増幅器および第2の増幅器

の入力より前段に、利得切り替え機能を有する増幅器もしくはアッテネータを備えていることが好ましい。その場合、モード切り替え信号の発生もしくは出力と同時に利得を変化させることが好ましい。利得を変化させるタイミングはモード切り替え信号と同時でなくてもよい。

[0050] この構成によれば、モード切り替えに伴う利得変化分を利得切り替え機能を有する増幅器もしくはアッテネータで補正することができ、出力変動を防止できる。

### 発明の効果

[0051] 本発明によれば、強入力時に低歪みとなり、微弱入力から強入力まで広いダイナミックレンジで、線形に近い特性を有する可変利得回路を実現することができる。

### 図面の簡単な説明

[0052] [図1]図1は本発明の実施例1の可変利得回路の構成を示すブロック図である。

[図2]図2は本発明の実施例2の可変利得回路の構成を示すブロック図である。

[図3]図3は利得制御信号変換回路の具体例を示す回路図である。

[図4]図4は本発明の実施例3の可変利得回路の構成を示すブロック図である。

[図5]図5は検知回路の構成を示すブロック図である。

[図6]図6は本発明の実施例4の可変利得回路の構成を示すブロック図である。

[図7]図7は本発明の実施例5の可変利得回路の構成を示すブロック図である。

[図8]図8は本発明の実施例6の可変利得回路の構成を示すブロック図である。

[図9]図9は本発明の実施例7の可変利得回路の構成を示すブロック図である。

[図10]図10は本発明の実施例8の可変利得回路の構成を示すブロック図である。

[図11]図11は本発明の実施例9の可変利得回路の構成を示すブロック図である。

[図12]図12は本発明の実施例10の可変利得回路の構成を示すブロック図である。

[図13]図13は本発明の実施例11の可変利得回路の構成を示すブロック図である。

[図14]図14は本発明の実施例12の可変利得回路の構成を示すブロック図である。

[図15]図15は本発明の実施例13の可変利得回路の構成を示す回路図である。

[図16]図16は可変利得回路部を2段縦続接続した可変利得回路の利得制御電圧に対する利得を示す特性図である。

[図17]図17は差動対1がオンの時とオフの時の入力レベルに対する3次のアウトプッ

トインターセプトポイントOIP3を示すグラフである。

[図18]図18は利得制御回路の具体例を示す回路図である。

[図19]図19は前段の可変利得回路部の第1の増幅器をオフすることができる縦続2段接続の可変利得回路の利得制御電圧に対する利得を示す特性図である。

[図20]図20は利得補正回路の具体例を示す回路図である。

[図21]図21は利得補正回路を加えた縦続2段接続の可変利得回路の利得制御電圧に対する利得を示す特性図である。

[図22]図22は検知回路の具体例を示すブロック図である。

[図23]図23は可変利得回路の先行技術の構成を示すブロック図である。

[図24]図24は可変利得回路の先行技術の具体的な構成を示す回路図である。

[図25]図25は可変利得回路の先行技術の具体的な構成を示す回路図である。

## 符号の説明

- [0053]
- |     |             |
|-----|-------------|
| 10  | 第1の増幅器      |
| 20  | 第2の増幅器      |
| 30  | 第3の増幅器      |
| 40  | 利得制御信号変換回路  |
| 50  | 利得補正回路      |
| 60  | 検知回路        |
| 80  | 増幅器         |
| 90  | ミキサ回路       |
| 100 | モード切り替え状態回路 |
| 200 | 可変利得回路部     |
| 300 | 可変利得回路部     |

## 発明を実施するための最良の形態

- [0054] 以下、本発明の実施例を、図面を参照しながら説明する。

### 実施例 1

- [0055] 本発明の実施例1の可変利得回路を図1に示す。この可変利得回路は、図1に示すように、第1の増幅器入力および第1の増幅器出力を有する第1の増幅器10と、第

2の増幅器入力および第2の増幅器出力を有する第2の増幅器20とを備えている。

[0056] 第1の増幅器10は、高利得・低ノイズ特性を有し、第1の利得制御信号11によって利得制御される。第2の増幅器20は、低利得・低歪み特性を有し、第2の利得制御信号21によって利得制御される。

[0057] そして、第1の増幅器10と第2の増幅器20とが互いに並列に結合されている。具体的に説明すると、第1の増幅器10の第1の増幅器入力と第2の増幅器20の第2の増幅器入力とが互いに結合されている。それによって、第1および第2の増幅器10, 20に電圧入力信号が共通に与えられる。また、第1の増幅器10の第1の増幅器出力と第2の増幅器20の第2の増幅器出力とが互いに結合されている。それによって、第1の増幅器10の電流出力信号と第2の増幅器20の電流出力信号とが加算合成される。

[0058] また、この可変利得回路においては、モード切り替え信号12によって第1の増幅器10の出力をオンまたはオフできる機能を有している。

[0059] モード切り替え信号12によって第1の増幅器10の出力がオンまたはオフされる構成以外は、図23から図25に示した先行技術と同様である。

[0060] この実施例の可変利得回路は、並列に設けられた高利得・低ノイズの第1の増幅器10と低利得・低歪みの第2の増幅器20のうち、第1の増幅器10の出力をモード切り替え信号12によってオンまたはオフできるようにしている。そのため、強入力時に第1の増幅器10を強制的にオフにすることにより、強入力時に低歪みとなる。したがって、この実施例の可変利得回路によると、微弱入力から強入力まで広いダイナミックレンジにわたって、線形に近い特性を得ることができる。

[0061] なお、上記実施例1では、第1の利得制御信号11と第2の利得制御信号21とが独立して設けられているが、共通化されていてもよい。この場合、利得制御信号の変化に対して第1の増幅器10の利得の変化方向と第2の増幅器20の利得の変化の方向とが互いに逆に設定されることが必要である。

[0062] また、上記実施例の可変利得回路においては、第1の増幅器入力と第2の増幅器入力がそれぞれ差動入力となり、第1の増幅器出力と第2の増幅器出力もそれぞれ差動出力となっていることが好ましい。

## 実施例 2

- [0063] 本発明の実施例2の可変利得回路を図2に示す。この可変利得回路は、図2に示すように、第3の増幅器入力および第3の増幅器出力を有し第3の利得制御信号31によって利得制御される第3の増幅器30をさらに備え、第3の増幅器入力を第1の増幅器出力と第2の増幅器出力とに結合している。
- [0064] また、この実施例では、第4の利得制御信号41から第1の利得制御信号11、第2の利得制御信号21および第3の利得制御信号31を作成する利得制御信号変換回路40を備えている。この利得制御信号変換回路40は、第1、第2および第3の利得制御信号11, 21, 31の少なくとも一つの可変範囲を、第4の利得制御信号41の可変範囲より拡大もしくは縮小するための回路である。
- [0065] 図3に利得制御信号変換回路40の具体例を示す。この図3の回路では、第4の利得制御信号41をそのまま第1の利得制御信号11および第2の利得制御信号21として出力する。また、第4の利得制御信号41を抵抗R100, R101によって分圧した信号を、第3の利得制御信号31として出力する。これによって、利得制御信号41による第3の増幅器30の利得制御特性は、利得制御信号41による第1および第2の増幅器10, 20の利得制御特性に対してシフトすることになる。
- [0066] なお、実施例1の場合に適用するとすれば、第4の利得制御信号41から第1の利得制御信号11および第2の利得制御信号21を作成するということになる。
- [0067] その他の構成は図1と同様である。
- [0068] この実施例によれば、第3の増幅器30を設けたので、利得可変範囲を広くすることができる。また、第1の増幅器10の出力をオフすると同時に、第3の利得制御信号31により第3の増幅器30の利得を変化させれば、第1の増幅器10の出力をオフすることによって生じる利得変化分を補正することができ、第3の増幅器出力における振幅が変動しないようにすることができる。

## 実施例 3

- [0069] 本発明の実施例3の可変利得回路を図4に示す。この可変利得回路は、図4に示すように、モード切り替え信号12により第1の増幅器10の出力をオフするのに連動して生じる利得変化分を補正する利得補正回路50を設けている。そのために、利得補

正回路50は、利得制御信号変換回路40の出力である第3の利得制御信号31をシフトすることにより第3の増幅器30の出力での振幅が変動しないようにする機能を備えている。

[0070] また、この可変利得回路では、モード切り替え信号12を作成するために、第4の利得制御信号41のレベルを検知する検知回路60を備えている。この検知回路60は、検知信号と基準信号を比較した結果をモード切り替え信号12として出力する。

[0071] 上記検知回路60は、図5に示すように、第4の利得制御信号41(検知信号61)と基準信号62とを比較し、その出力である検知結果の信号63(モード切り替え信号12)をクロック信号64のタイミングで出力する。

[0072] 上記以外の構成は実施例2と同様である。

[0073] この実施例によれば、第4の利得制御信号41のレベルに応じて自動的にモード切り替え信号12を作成することができる。また、利得補正回路50によって第3の利得制御信号31をモード切り替えと同時にシフトさせるので、モード切り替え時における第3の増幅器30の出力レベルの急な変化を防止することができる。

#### 実施例 4

[0074] 本発明の実施例4の可変利得回路を図6に示す。この可変利得回路は、図6に示すように、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、第4の利得制御信号41のレベルを一定にすることにより第1の増幅器10、第2の増幅器20および第3の増幅器30の利得を固定したときの第3の増幅器30の出力レベルを検出するようにしている。その他の構成および作用効果は実施例3と同様である。

#### 実施例 5

[0075] 本発明の実施例5の可変利得回路を図7に示す。この可変利得回路は、図7に示すように、第3の増幅器30の後段にさらに第4の増幅器80を有する構成である。そして、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、第4の増幅器80の出力レベルを検出するようにしている。この実施例でも、実施例4と同様に第4の利得制御信号41のレベルを一定にした状態で、第4の増幅器80の出力レベルを検出する。その他の構成および作用効果は実施例3と同様である。

#### 実施例 6

[0076] 本発明の実施例6の可変利得回路を図8に示す。この可変利得回路は、図8に示すように、第3の増幅器30の後段にミキサ回路90を有する構成であるミキサ回路90には、第3の増幅器30の出力信号と局部発振信号LOとが入力される。そして、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、ミキサ回路90の出力レベルを検出するようにしている。この実施例でも、実施例4と同様に第4の利得制御信号41のレベルを一定にした状態で、ミキサ回路90の出力レベルを検出する。その他の構成および作用効果は実施例3と同様である。

#### 実施例 7

[0077] 本発明の実施例7の可変利得回路を図9に示す。この可変利得回路は、図9に示すように、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、第1および第2の増幅器10、20の入力レベルを検出するようにしている。その他の構成および作用効果は実施例3と同様である。

#### 実施例 8

[0078] 本発明の実施例8の可変利得回路を図10に示す。この可変利得回路は、図10に示すように、図4の構成に、モード切り替え状態回路100を追加したもので、それ以外は図4の実施例と同様である。モード切り替え状態回路100は、切り替え許可信号101を入力とし、第1の増幅器10のオンオフ切り替え動作とそれに連動する利得補正回路50の制御を許可するアクティブ状態と、それを禁止するスリープ状態との切り替えを実現する。

[0079] この実施例によれば、入力信号の強度に応じた第1の増幅器10の出力のオンオフ動作を無効にすることができる。その結果、先行技術と同様の動作も行うことが可能となる。

[0080] また、データ送信中に第1の増幅器10のオンオフが切り替わると、その瞬間データを正しく受信することができないので、データ送信中には切り替え機能をオフできるようにベースバンドLSIで制御することができる。これにより正しくデータを受信することができる。その他の効果は、実施例3と同様である。

#### 実施例 9

[0081] 本発明の実施例9の可変利得回路を図11に示す。この可変利得回路は、図11に



示すように、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、第4の利得制御信号のレベルを一定にすることにより第1の増幅器10、第2の増幅器20および第3の増幅器30の利得を固定したときの第3の増幅器30の出力レベルを検出するようにしている。この実施例でも、実施例4と同様に第4の利得制御信号41のレベルを一定にした状態で、第4の増幅器80の出力レベルを検出する。その他の構成および作用効果は実施例8と同様である。

#### 実施例 10

- [0082] 本発明の実施例10の可変利得回路を図12に示す。この可変利得回路は、図12に示すように、第3の増幅器30の後段にさらに第4の増幅器80を有する構成である。そして、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、第4の増幅器80の出力レベルを検出するようにしている。その他の構成および作用効果は実施例8と同様である。

#### 実施例 11

- [0083] 本発明の実施例11の可変利得回路を図13に示す。この可変利得回路は、図13に示すように、第3の増幅器30の後段にミキサ回路90を有する構成である。そして、検知回路60が、第4の利得制御信号41のレベルを検出する代わりに、ミキサ回路90の出力レベルを検出するようにしている。この実施例でも、実施例4と同様に第4の利得制御信号41のレベルを一定にした状態で、ミキサ回路90の出力レベルを検出する。その他の構成および作用効果は実施例8と同様である。

#### 実施例 12

- [0084] 本発明の実施例12の可変利得回路を図14に示す。この可変利得回路は、図14に示すように、検知回路60が第4の利得制御信号41のレベルを検出する代わりに、第1および第2の増幅器10、20の入力レベルを検出するようにしている。その他の構成および作用効果は実施例8と同様である。

#### 実施例 13

- [0085] 本発明の実施例13の可変利得回路を図15に示す。この実施例は、図2の実施例における第1、第2および第3の増幅器の部分の構成を具体的に示すものである。

- [0086] すなわち、この可変利得回路は、図15に示すように、図25で使用した可変利得回路を2つ使用し、それらを一部回路変更して縦続接続した構成を有している。前段側を可変利得回路部200と記し、後段側を可変利得回路部300と記す。
- [0087] 以下、具体的に説明する。前段側の可変利得回路部200は、図25で使用した可変利得回路の出力電流 $I_{out1}$ 、 $I_{out2}$ を抵抗 $R3$ 、 $R4$ を通して出力電圧 $V_{out1}$ 、 $V_{out2}$ に変換している。また、利得制御電圧 $V_{gca1}$ の正極と利得制御電圧 $V_{gca2}$ の負極とを結合して利得制御電圧 $V_{gca3}$ を与えている。さらに、利得制御電圧 $V_{gca1}$ の負極と利得制御電圧 $V_{gca2}$ の正極とを結合してバイアス電圧 $V_{bias1}$ を与えている。この構成は、第1および第2の増幅器10、20の利得制御電圧を共通化していることになる。
- [0088] 後段側の可変利得回路部300は、可変利得回路部200と同様の構成を有し、高利得・低ノイズの増幅器を構成する差動対3と、低利得・低歪みの増幅器を構成する差動対4とで構成されている。図15において、符号 $Q13$ 〜 $Q24$ はそれぞれトランジスタを示す。符号 $R5$ 〜 $R8$ はそれぞれ抵抗を示す。符号 $I31$ 、 $I32$ 、 $I41$ 、 $I42$ はそれぞれ電流源を示す。
- [0089] この可変利得回路部300では、利得制御電圧 $V_{gca3}$ が可変利得回路部200と共通に与えられる。一方、バイアス電圧 $V_{bias2}$ については、可変利得回路部200とは独立して与えられている。可変利得回路部300の出力電圧を $V_{out3}$ 、 $V_{out4}$ とする。
- [0090] そして、可変利得回路部200の出力を可変利得回路部300の入力に結合することにより、2つの可変利得回路部200、300が縦続接続されている。
- [0091] 可変利得回路部200の利得制御電圧を上記のように共通化すると、可変利得回路部200の利得変化は、高利得・低ノイズ増幅器である差動対1の利得と低利得・低歪み増幅器である差動対2の利得を合計するときに、両増幅器の利得寄与度を変化させることにより得られる。
- [0092] 同様に、可変利得回路部300の利得制御電圧を上記のように共通化すると、可変利得回路部300の利得変化は、高利得・低ノイズ増幅器である差動対3の利得と低利得・低歪み増幅器である差動対4の利得とを合計するときに、両増幅器の利得寄与度を変化させることにより得られる。
- [0093] 具体的な利得変化は次式となる。

[0094]  $G = (A * x) + (B * (1 - x))$

$$0 \leq x \leq 1 \text{ のとき } B \leq G \leq A$$

G = 可変利得回路の合計利得

A = 高利得・低ノイズ増幅器の利得

B = 低利得・低歪み増幅器の利得

x = 高利得・低ノイズ増幅器の利得寄与度

1-x = 低利得・低歪み増幅器の利得寄与度

ここで、バイアス電圧Vbias1、バイアス電圧Vbias2の設定は、ノイズ・フィギュア (Noise Figure) を劣化させないために、弱入力から強入力に入力レベルを変化させる場合、先に可変利得回路部200の利得が飽和するように  $V_{bias2} > V_{bias1}$  と設定される。また、可変利得回路部200と可変利得回路部300の利得が線形で変化する範囲が互いに重ならないように、バイアス電圧Vbias1とバイアス電圧Vbias2の値により制御範囲(幅)が調節される。

[0095] 図16に可変利得回路部200と可変利得回路部300の各利得曲線と、それらの合計利得曲線を示す。図16において、細実線U1は可変利得回路部200の利得制御電圧の変化に対する利得の変化を示す。破線U2は可変利得回路部300の利得制御電圧の変化に対する利得の変化を示す。太実線U3は可変利得回路部200, 300の利得制御電圧の変化に対する合計利得の変化を示す。

[0096] すると、利得制御電圧Vgca3が最小のときは、可変利得回路部200と可変利得回路部300の利得は最小となる。利得制御電圧Vgca3を大きくしていくと、まず可変利得回路部200の利得が増大する。そして、可変利得回路部200の利得がほぼ最大に達したところで可変利得回路部300の利得が増大し始める。そして、利得制御電圧Vgca3が最大るとき、可変利得回路部200と可変利得回路部300の利得は最大となる。

[0097] 課題となる強入力レベルでは、可変利得回路部300の利得は最小で、可変利得回路部200の利得が減少していく過程にあり、トランジスタQ7, Q10のコレクタ電流が完全にオフでない。そのために、可変利得回路の出力に歪みの影響が現れる。さらに強入力レベルになると、トランジスタQ7, Q10を完全にオフするようになるので、歪

みの影響は小さくなる。

[0098] 可変利得回路の出力が一定となるように利得制御電圧 $V_{gca3}$ を変化させた時の入力レベルに対する3次のアウトプットインターセプトポイントOIP3を図17に示す。図17において、実線V1は差動対1をオフにしなかったときの状態を示す。破線V2は差動対1をオフにし、かつ利得補正を行ったときの状態(後述)を示す。

[0099] トランジスタQ7, Q10のコレクタ電流を完全にオフにするためには、差動対1の電流源I11, I12をオフにすることが必要である。その方法の一例として、図15の差動対1の電流源の実回路を、図18のように構成することが考えられる。

[0100] すなわち、トランジスタQ1のエミッタに電流源I11となるトランジスタQ25のコレクタを結合し、トランジスタQ2のエミッタに電流源I12となるトランジスタQ26を結合する。また、トランジスタQ25とトランジスタQ26のベースにトランジスタQ27のベースを結合する。共通化したトランジスタQ25, Q26およびQ27のベースをトランジスタQ27のコレクタに結合する。さらに、トランジスタQ27のコレクタに電流源I51を結合する。これによって、トランジスタQ27のコレクタに結合された電流源I51の電流をトランジスタQ25, Q26にミラーする。また、MOSトランジスタM1のドレインをトランジスタQ27のコレクタに結合し、トランジスタM1のゲートに、モード切り替え信号 $V_{sw}$ を入力する。

[0101] モード切り替え信号 $V_{sw}$ がローレベルの時は、トランジスタM1がオフとなり、差動対1はオンとなる。一方、モード切り替え信号 $V_{sw}$ がハイレベルの時はトランジスタM1がオンとなり、差動対1はオフとなる。そのため、モード切り替え信号 $V_{sw}$ としてローレベルまたはハイレベルの信号をトランジスタM1に入力することにより差動対1をオンオフすることができる。

[0102] しかし、差動対1をオフしたことにより、利得制御電圧 $V_{gca3}$ に対する可変利得回路部200と可変利得回路部300の合計利得が図19のように連続ではなくなってしまう。ここで、差動対1のオンオフを切り替える時の利得制御電圧 $V_{gca3}$ をある任意の基準電圧(切り替え電圧) $V_{th}$ とする。図19において、細実線W1は可変利得回路部200の利得制御電圧 $V_{gca3}$ の変化に対する利得の変化を示す。破線W2は可変利得回路部300の利得制御電圧 $V_{gca3}$ の変化に対する利得の変化を示す。太実線W3は可変利得回路部200, 300の利得制御電圧 $V_{gca3}$ の変化に対する合計利得の変化

を示す。

- [0103] そこで、本実施例の可変利得回路は、可変利得回路部200の差動対1がオフすると同時に、そのときの利得減少分を可変利得回路部300の利得を増加させることにより補正する利得補正回路を備える。この利得補正回路は、例えば図6に示した利得補正回路50に対応する。
- [0104] 図20に利得補正回路の一例を示す。この利得補正回路では、差動対1をオフするのに用いたモード切り替え信号 $V_{sw}$ を使用し、それによって可変利得回路部300に与えるバイアス電圧 $V_{bias2}$ を、可変利得回路部200の差動対1がオフするのと同時に変化させる。
- [0105] 具体的に説明すると、MOSTランジスタM2のソースをグランドに結合し、ドレインをランジスタQ29のエミッタに結合し、ゲートにモード切り替え信号 $V_{sw}$ を入力する。また、ランジスタQ29のベースとランジスタQ28のベースとを結合し、結合された両ランジスタQ28、Q29のベースとランジスタQ28のコレクタとを結合する。さらに、ランジスタQ28のコレクタに電流源I1を結合する。これによって、ランジスタQ28のコレクタに結合された電流源I1の電流をランジスタQ29にミラーする。ランジスタQ29のコレクタを電流源I2と抵抗R9の接続点に結合する。ただし、 $I1 < I2$ とする。
- [0106] 以上のような構成においては、モード切り替え信号 $V_{sw}$ がハイレベルの時は、ランジスタM2がオンとなる。そのため、ランジスタQ29のコレクタにはミラー電流I1が流れ、抵抗R9には電流源I2の電流から電流源I1の電流を引いた電流が流れる。
- [0107] 一方、モード切り替え信号 $V_{sw}$ がローレベルの時は、ランジスタM2がオフとなる。そのため、ランジスタQ29には電流は流れず、抵抗R9には電流源I2の電流がそのまま流れる。
- [0108] したがって、バイアス電圧 $V_{bias2}$ は、モード切り替え信号 $V_{sw}$ がハイレベルのときの方がローレベルのときよりも小さくなる。
- [0109] 以上の構成および動作により、モード切り替え信号 $V_{sw}$ がハイレベルとなって差動対1がオフするのと同時に、利得補正回路がバイアス電圧 $V_{bias2}$ を小さくする。
- [0110] 以上説明したように、利得補正回路によりバイアス電圧 $V_{bias2}$ を小さくし、可変利得回路部300の利得制御電圧に対する利得制御範囲(幅)を、利得制御電圧の小さい

方へシフトさせることにより、差動対1をオフさせるときの利得制御電圧(基準電圧 $V_{th}$ )において、可変利得回路部300の利得を増加させることが可能になる。

[0111] この結果、図21のように、可変利得回路部200, 300の合計利得は差動対1のオンオフにかかわらず、利得制御電圧 $V_{gca3}$ に対して連続かつ等しい変化を得ることができる。図21において、細実線X1は可変利得回路部200の利得制御電圧 $V_{gca3}$ の変化に対する利得の変化を示す。細破線X2は可変利得回路部300の利得制御電圧 $V_{gca3}$ の変化に対する利得の変化を示す。太破線X3は可変利得回路部300の利得制御範囲(幅)を矢印の方向にシフトした状態を示す。太実線W4は可変利得回路部200, 300の利得制御電圧 $V_{gca3}$ の変化に対する合計利得の変化を示す。

[0112] また、差動対1がオンの時とオフの時の入力レベルに対する3次のインターセプトポイントOIP3を図17に示す。以上が強入力レベルに対して歪みを軽減し、かつ利得を円滑に変化させる本発明の可変利得回路の一例である。

#### 実施例 14

[0113] 本発明の実施例14の可変利得回路を図22に示す。この実施例は、検知回路60とモード切り替え状態回路100の構成を具体的に示すものである。検知回路60が検知する信号は、実施例毎に異なるが、検知回路60自体の回路構成は同じであるので、ここでは一例として検知信号として利得制御電圧 $V_{gca3}$ を用いた場合について説明する。

[0114] 図22に示すように、検知回路60はロジック回路400からなり、モード切り替え状態回路100はフリップフロップ回路410およびロジック回路420からなる。

[0115] ロジック回路400は、利得制御電圧 $V_{gca3}$ が、ある任意の基準電圧 $V_{th}$ を上回るとモード切り替え信号 $V_{sw}$ としてローレベルを出力し、基準電圧 $V_{th}$ を下回るとモード切り替え信号 $V_{sw}$ としてハイレベルを出力する。基準電圧 $V_{th}$ はここではバイアス電圧 $V_{bias4}$ である。なお、クロック信号の図示は省略している。

[0116] フリップフロップ回路410は、ロジック回路400の出力をデータ入力としている。フリップフロップ回路410のクロック入力には、ロジック回路420の出力が使用される。

[0117] ロジック回路420は、クロックClockとして温度補償水晶発振器の出力クロックを入力とし、DC信号として電源電圧 $V_{cc}$ を入力とし、さらにクロック出力を許可する切り替

え許可信号RXCENを入力としている。そして、このロジック回路420は、切り替え許可信号RXCENがハイレベルの時にクロックClockを出力し、ローレベルの時に電源電圧VccのDC信号を出力する。

[0118] 利得制御電圧Vgca3の検知方法は以下の通りである。すなわち、切り替え許可信号RXCENをハイレベルにしたときは、ロジック回路420から出力されたクロックがフリップフロップ回路410のクロックClkとなる。そのため、クロック周期のタイミングで利得制御電圧Vgca3の状態を、ロジック回路400を介して検知することができ、したがってモード切り替え信号Vswのレベルがハイレベルかローレベルかのいずれかに決まる。一方、切り替え許可信号RXCENがローレベルのときは、ロジック回路420から電圧VccのDC信号が出力されるので、フリップフロップ410の出力が固定される。そのため、切り替え許可信号RXCENをローレベルにした瞬間のモード切り替え信号Vswも、ハイレベルもしくはローレベルの状態に固定される。

[0119] よって、利得補正回路の制御を許可するアクティブ状態は切り替え許可信号RXCENをハイレベルとすることによって実現できる。また、利得補正回路の制御を禁止するスリープ状態は切り替え許可信号RXCENをローレベルにすることによって実現できる。

[0120] なお、上記の実施例では、利得補正回路によって、可変利得回路部300の利得を制御するものについて説明した。しかし、これに限らず、可変利得回路部200の前段、つまり差動対1、差動対2の入力より前段に、利得可変(もしくは切り替え)機能を有する増幅器もしくはアッテネータを設けてもよい。この場合、差動対1をオフにし、それによって生じる利得変化分を、利得補正回路によって可変利得回路部300の利得を制御することで補正する機能は、使用してもしなくてもかまわない。

[0121] 以下、この点について詳しく説明する。第1の増幅器10をオフにすることによって生じる利得変化分を可変利得回路部300の利得を制御することで補正する機能を使用しない場合は、以下のように前段のアッテネータもしくは増幅器を動作させる。

[0122] すなわち、可変利得回路部200の出力が歪み始める入力レベル(第1の増幅器10をオフするレベル)以上で、前段のアッテネータを動作、もしくは前段の増幅器の利得を下げる。これによって、可変利得回路部200の入力レベルを下げる。その結果、

強入力時に低ひずみ低利得を実現することができる。強入力判定には検知回路60を用い、検知結果のモード切り替え信号V<sub>sw</sub>によりアッテネータもしくは増幅器の制御を行う。この効果は、可変利得回路部300の利得を補正する必要がないので、利得補正回路を必要とせずに、ダイナミックレンジを広げることができるということである。

[0123] 一方、第1の増幅器10をオフすることによって生じる利得変化分を、利得補正回路によって可変利得回路部300の利得を制御することで補正する機能を使用する場合は、以下のように前段のアッテネータもしくは増幅器を動作させる。

[0124] すなわち、アッテネータや増幅器をモード切り替えと同時に動作させても良いが、可変利得回路部200と可変利得回路部300の合計利得が最小になった時に動作させるのが好ましい。同時に動作させる場合は検知回路60とモード切り替え状態回路100を共通に使用できる。また、同時に動作させない場合は基準信号の異なった検知回路とモード切り替え状態回路を複数用意すればよい。この効果は、アッテネータもしくは増幅器による利得減少分、強入力レベルが広がるので、より広ダイナミックレンジを得ることができるということである。

[0125] また、上記の各実施例は、可変利得回路について説明したが、これらの実施例の可変利得回路を用いて、通信モジュールを構成することができる。同様に、これらの実施例の可変利得回路を用いて、通信機器を構成することができる。さらに、これらの実施例の可変利得回路を用いて、移動体端末を構成することができる。さらに、上記した移動体端末と、この移動体端末と接続されるその他の移動体端末とで移動体通信システムを構成することもできる。

#### 産業上の利用可能性

[0126] 本発明にかかる可変利得回路は、広ダイナミックレンジを有し、かつ高利得ときに低雑音で、低利得ときに低歪みであり、通信モジュールや携帯端末を含めた無線通信機器等の回路として有用である。



### 請求の範囲

- [1] 第1の増幅器入力および第1の増幅器出力を有し第1の利得制御信号によって利得制御される高利得の第1の増幅器と、  
第2の増幅器入力および第2の増幅器出力を有し第2の利得制御信号によって利得制御される低利得の第2の増幅器とを備え、  
前記第1の増幅器入力と前記第2の増幅器入力とが互いに結合されることにより前記第1および第2の増幅器に入力信号が共通に与えられ、かつ前記第1の増幅器出力と前記第2の増幅器出力とが互いに結合されることにより、前記第1の増幅器の出力信号と前記第2の増幅器の出力信号とが加算合成され、  
前記第1の増幅器はモード切り替え信号に応じて出力をオンオフする機能を有している可変利得回路。
- [2] 前記第1の増幅器は電圧入力電流出力型の第1の固定利得増幅器と、前記第1の固定利得増幅器の出力電流を前記第1の利得制御信号に応じた分流比で2つの電流出力端へ分流する第1の分流回路とで構成され、前記第2の増幅器は、電圧入力電流出力型の第2の固定利得増幅器と、前記第2の固定利得増幅器の出力電流を前記第2の利得制御信号に応じた分流比で2つの電流出力端へ分流する第2の分流回路とで構成され、  
前記第1の固定利得増幅器の入力端と前記第2の固定利得増幅器の入力端とがそれぞれ前記第1の増幅器入力および第2の増幅器入力となり、前記第1の分流回路のいずれか一方の電流出力端と前記第2の分流回路のいずれか一方の電流出力端とがそれぞれ前記第1の増幅器出力および第2の増幅器出力となる請求項1記載の可変利得回路。
- [3] 前記第1の利得制御信号の変化に対する前記第1の増幅器の利得の変化方向と前記第2の利得制御信号の変化に対する前記第2の増幅器の利得の変化の方向とが互いに逆に設定され、前記第1の利得制御信号と前記第2の利得制御信号が共通化されている請求項1記載の可変利得回路。
- [4] 前記第1の増幅器入力と前記第2の増幅器入力とがそれぞれ差動入力である請求項1記載の可変利得回路。

- [5] 前記第1の増幅器出力と前記第2の増幅器出力がそれぞれ差動出力である請求項4記載の可変利得回路。
- [6] 第3の増幅器入力および第3の増幅器出力を有し第3の利得制御信号によって利得制御される第3の増幅器をさらに備え、  
前記第3の増幅器入力を前記第1の増幅器出力と前記第2の増幅器出力とに結合した請求項1記載の可変利得回路。
- [7] 前記第1の増幅器の出力が遮断されると同時に、前記第1の増幅器の出力が遮断されることによって生じる利得変化分を、前記第3の利得制御信号により前記第3の増幅器の利得を変化させることにより補正する利得補正回路を備え、前記利得補正回路により前記第3の増幅器の出力における振幅が変動しないようにする請求項6記載の可変利得回路。
- [8] 第4の利得制御信号から前記第1の利得制御信号および前記第2の利得制御信号を作成する利得制御信号変換回路を備えている請求項1記載の可変利得回路。
- [9] 第4の利得制御信号から前記第1の利得制御信号、前記第2の利得制御信号および前記第3の利得制御信号を作成する利得制御信号変換回路を備えている請求項6記載の可変利得回路。
- [10] 前記モード切り替え信号により前記第1の増幅器の出力が遮断されるのに連動し、前記第1の増幅器の出力が遮断されることによって生じる利得変化分を、前記第3の利得制御信号をシフトすることにより、補正する利得補正回路を備え、前記利得補正回路により前記第3の増幅器の出力における振幅が変動しないようにする請求項8記載の可変利得回路。
- [11] 前記第4の利得制御信号を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [12] 前記第3の増幅器の出力振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [13] 前記第3の増幅器の出力の後段に増幅器もしくはミキサ回路が接続され、前記増幅器もしくは前記ミキサ回路の出力信号の振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得

回路。

- [14] 前記第1の増幅器の入力振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [15] 前記検知回路は、前記第4の利得制御信号の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項11記載の可変利得回路。
- [16] 前記検知回路は、前記第3の増幅器の出力振幅の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項12記載の可変利得回路。
- [17] 前記検知回路は、前記増幅器もしくは前記ミキサ回路の出力信号の振幅の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項13記載の可変利得回路。
- [18] 前記検知回路は、前記第1の増幅器の入力信号の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項14記載の可変利得回路。
- [19] 切り替え許可信号により、前記第1の増幅器の切り替え動作とそれに連動する前記利得補正回路の制御を許可するアクティブ状態とそれを禁止するスリープ状態とを実現するモード切り替え状態回路を備えている請求項11記載の可変利得回路。
- [20] 前記第1の増幅器および前記第2の増幅器の入力より前段に、利得可変機能を有する増幅器もしくはアッテネータを備えている請求項1記載の可変利得回路。
- [21] 前記利得可変機能を有する増幅器もしくはアッテネータは、前記モード切り替え信号の発生と同時に利得を変化させる請求項20記載の可変利得回路。

## 補正書の請求の範囲

[2005年7月22日 (22. 07. 05) 国際事務局受理：出願当初の請求の範囲  
1,2,6,8,10及び20は補正された；出願当初の請求の範囲3は取り下げられた；  
他の請求の範囲は変更なし。(4頁)]

[1] (補正後)第1の増幅器入力および第1の増幅器出力を有し第1の利得制御信号によって利得制御される高利得の第1の増幅器と、

第2の増幅器入力および第2の増幅器出力を有し第2の利得制御信号によって利得制御される低利得の第2の増幅器とを備え、

前記第1の利得制御信号の変化に対する前記第1の増幅器の利得の変化方向と前記第2の利得制御信号の変化に対する前記第2の増幅器の利得の変化の方向とが互いに逆に設定され、前記第1の利得制御信号と前記第2の利得制御信号が共通化され、

前記第1の増幅器入力と前記第2の増幅器入力とが互いに結合されることにより前記第1および第2の増幅器に入力信号が共通に与えられ、かつ前記第1の増幅器出力と前記第2の増幅器出力とが互いに結合されることにより、前記第1の増幅器の出力信号と前記第2の増幅器の出力信号とが加算合成され、

前記第1の増幅器はモード切り替え信号に応じて出力をオンオフする機能を有している可変利得回路。

[2] (補正後)前記第1の増幅器は電圧入力電流出力型の第1の固定利得増幅器と、前記第1の固定利得増幅器の出力電流を前記第1の利得制御信号に応じた分流比で2つの電流出力端へ分流する第1の分流回路とで構成され、前記第2の増幅器は、電圧入力電流出力型の第2の固定利得増幅器と、前記第2の固定利得増幅器の出力電流を前記第2の利得制御信号に応じた分流比で2つの電流出力端へ分流する第2の分流回路とで構成され、

前記第1の固定利得増幅器の入力端と前記第2の固定利得増幅器の入力端とがそれぞれ前記第1の増幅器入力および第2の増幅器入力となり、前記第1の分流回路のいずれか一方の電流出力端と前記第2の分流回路のいずれか一方の電流出力端とがそれぞれ前記第1の増幅器出力および第2の増幅器出力となる請求項1記載の可変利得回路。

[3] (削除)

[4] (補正なし)前記第1の増幅器入力と前記第2の増幅器入力とがそれぞれ差動入力

補正された用紙 (条約第 19 条)

である請求項1記載の可変利得回路。

- [5] (補正なし) 前記第1の増幅器出力と前記第2の増幅器出力がそれぞれ差動出力である請求項4記載の可変利得回路。

- [6] (補正後) 第1の増幅器入力および第1の増幅器出力を有し第1の利得制御信号によって利得制御される高利得の第1の増幅器と、

第2の増幅器入力および第2の増幅器出力を有し第2の利得制御信号によって利得制御される低利得の第2の増幅器と、

第3の増幅器入力および第3の増幅器出力を有し第3の利得制御信号によって利得制御される第3の増幅器とを備え、

前記第1の増幅器入力と前記第2の増幅器入力とが互いに結合されることにより前記第1および第2の増幅器に入力信号が共通に与えられ、かつ前記第1の増幅器出力と前記第2の増幅器出力とが互いに結合されることにより、前記第1の増幅器の出力信号と前記第2の増幅器の出力信号とが加算合成され、

前記第3の増幅器入力が前記第1の増幅器出力と前記第2の増幅器出力とに結合され、

前記第1の増幅器はモード切り替え信号に応じて出力をオンオフする機能を有している可変利得回路。

- [7] (補正なし) 前記第1の増幅器の出力が遮断されると同時に、前記第1の増幅器の出力が遮断されることによって生じる利得変化分を、前記第3の利得制御信号により前記第3の増幅器の利得を変化させることにより補正する利得補正回路を備え、前記利得補正回路により前記第3の増幅器の出力における振幅が変動しないようにする請求項6記載の可変利得回路。

- [8] (補正後) 第1の増幅器入力および第1の増幅器出力を有し第1の利得制御信号によって利得制御される高利得の第1の増幅器と、

第2の増幅器入力および第2の増幅器出力を有し第2の利得制御信号によって利得制御される低利得の第2の増幅器と、

第4の利得制御信号から前記第1の利得制御信号および前記第2の利得制御信号を作成する利得制御信号変換回路とを備え、

前記第1の増幅器入力と前記第2の増幅器入力とが互いに結合されることにより前記第1および第2の増幅器に入力信号が共通に与えられ、かつ前記第1の増幅器出力と前記第2の増幅器出力とが互いに結合されることにより、前記第1の増幅器の出力信号と前記第2の増幅器の出力信号とが加算合成され、

前記第1の増幅器はモード切り替え信号に応じて出力をオンオフする機能を有している可変利得回路。

- [9] (補正なし) 第4の利得制御信号から前記第1の利得制御信号、前記第2の利得制御信号および前記第3の利得制御信号を作成する利得制御信号変換回路を備えている請求項6記載の可変利得回路。
- [10] (補正後) 前記モード切り替え信号により前記第1の増幅器の出力が遮断されるのに連動し、前記第1の増幅器の出力が遮断されることによって生じる利得変化分を、前記第3の利得制御信号をシフトすることにより、補正する利得補正回路を備え、前記利得補正回路により前記第3の増幅器の出力における振幅が変動しないようにする請求項9記載の可変利得回路。
- [11] (補正なし) 前記第4の利得制御信号を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [12] (補正なし) 前記第3の増幅器の出力振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [13] (補正なし) 前記第3の増幅器の出力の後段に増幅器もしくはミキサ回路が接続され、前記増幅器もしくは前記ミキサ回路の出力信号の振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [14] (補正なし) 前記第1の増幅器の入力振幅を基準信号と比較することにより、前記モード切り替え信号を出力する検知回路を備えている請求項10記載の可変利得回路。
- [15] (補正なし) 前記検知回路は、前記第4の利得制御信号の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項11記載の可変利得回路

- 。
- [16] (補正なし)前記検知回路は、前記第3の増幅器の出力振幅の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項12記載の可変利得回路。
- [17] (補正なし)前記検知回路は、前記増幅器もしくは前記ミキサ回路の出力信号の振幅の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項13記載の可変利得回路。
- [18] (補正なし)前記検知回路は、前記第1の増幅器の入力信号の検知にクロック信号を用い、あるタイミングごとに検知を行う機能を備えている請求項14記載の可変利得回路。
- [19] (補正なし)切り替え許可信号により、前記第1の増幅器の切り替え動作とそれに連動する前記利得補正回路の制御を許可するアクティブ状態とそれを禁止するスリープ状態とを実現するモード切り替え状態回路を備えている請求項11記載の可変利得回路。
- [20] (補正後)第1の増幅器入力および第1の増幅器出力を有し第1の利得制御信号によって利得制御される高利得の第1の増幅器と、  
第2の増幅器入力および第2の増幅器出力を有し第2の利得制御信号によって利得制御される低利得の第2の増幅器と、  
前記第1の増幅器および前記第2の増幅器の入力より前段に配置された、利得可変機能を有する増幅器もしくはアッテネータとを備え、  
前記第1の増幅器入力と前記第2の増幅器入力とが互いに結合されることにより前記第1および第2の増幅器に入力信号が共通に与えられ、かつ前記第1の増幅器出力と前記第2の増幅器出力とが互いに結合されることにより、前記第1の増幅器の出力信号と前記第2の増幅器の出力信号とが加算合成され、  
前記第1の増幅器はモード切り替え信号に応じて出力をオンオフする機能を有している可変利得回路。
- [21] (補正なし)前記利得可変機能を有する増幅器もしくはアッテネータは、前記モード切り替え信号の発生と同時に利得を変化させる請求項20記載の可変利得回路。

## 条約 19 条 (1) に基づく説明書

請求の範囲第 1 項の内容に第 3 項の内容が付加された。したがって、同第 3 項は削除された。

請求の範囲第 1 項において、「第 1 の利得制御信号の変化に対する第 1 の増幅器の利得の変化方向と第 2 の利得制御信号の変化に対する第 2 の増幅器の利得の変化の方向とが互いに逆に設定され、第 1 の利得制御信号と第 2 の利得制御信号が共通化されている」ことを明確にした。この構成は各引用例のどこにも記載されていない。

請求の範囲第 2 項は誤記が補正された。

請求の範囲第 1 項を引用していた第 6 項は独立項に変更された。

請求の範囲第 1 項を引用していた第 8 項は独立項に変更された。

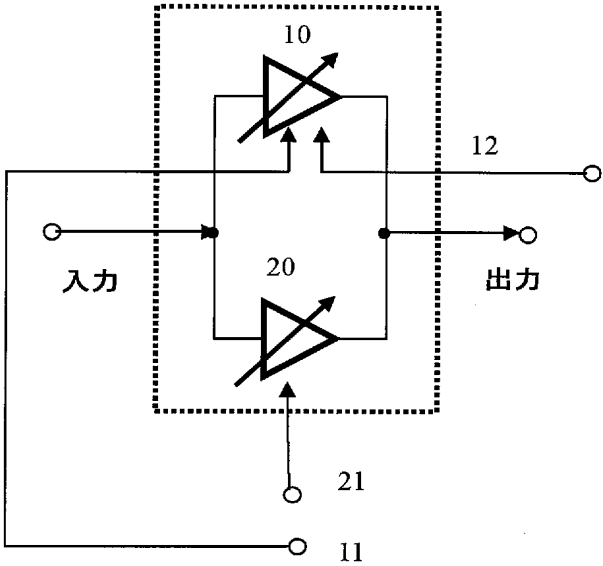
請求の範囲第 10 項は引用先が第 8 項から第 9 項に変更された。

上記の引用先の変更は、実施例 2 (段落 [0063] ~ [0068]) の記載、および実施例 3 ([段落 0069] ~ [0073]) の記載に基づくものである。

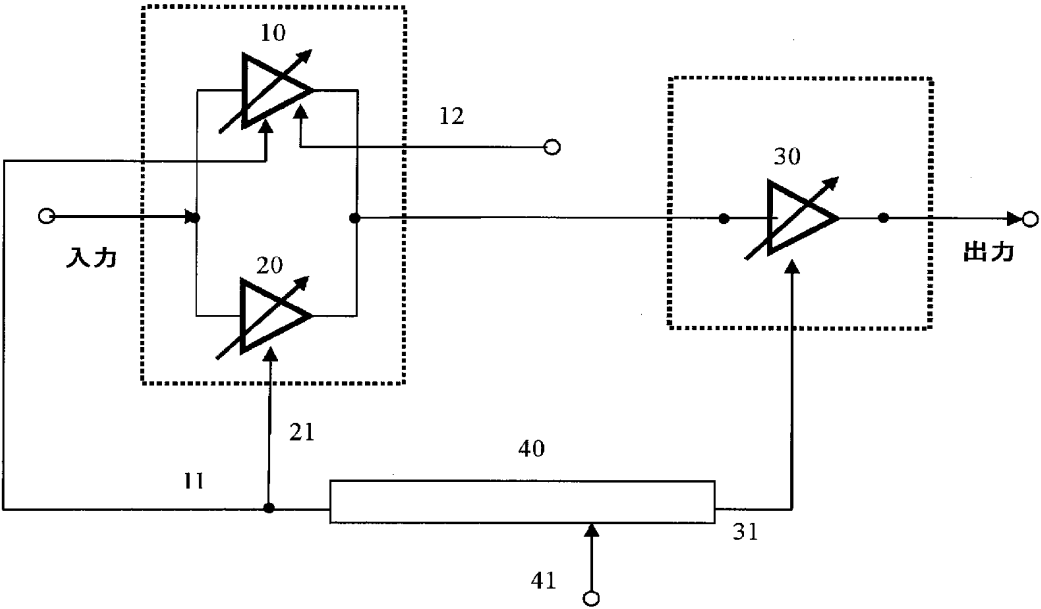
請求の範囲第 1 項を引用していた第 20 項は独立項に変更された。



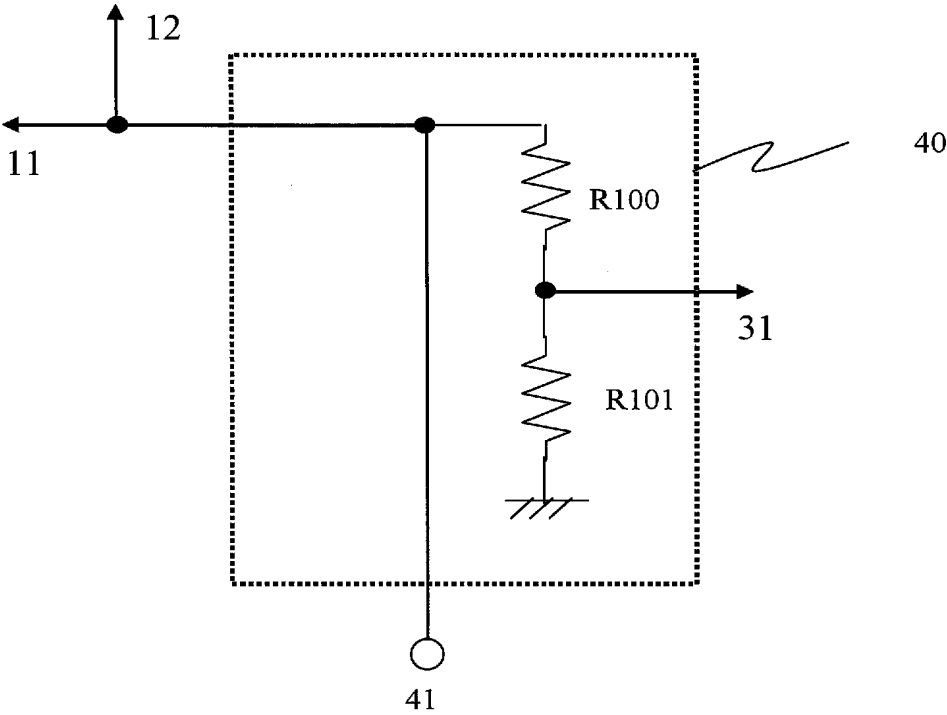
[図1]



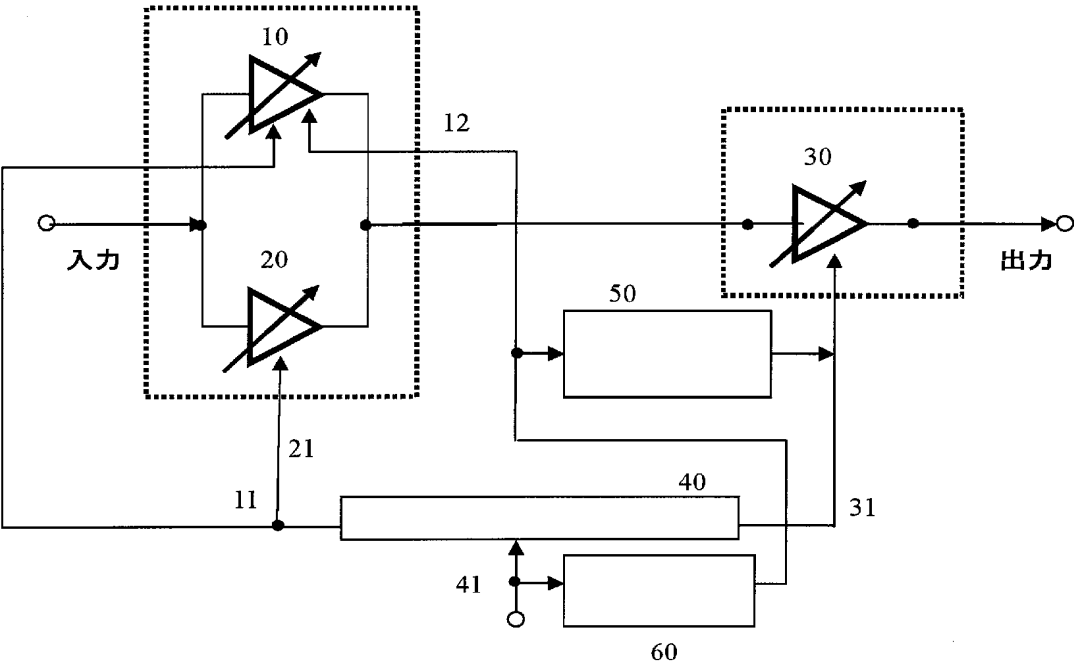
[図2]



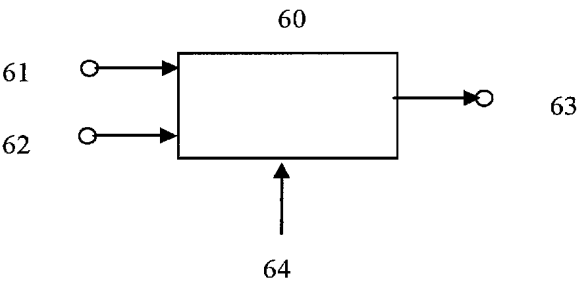
[図3]



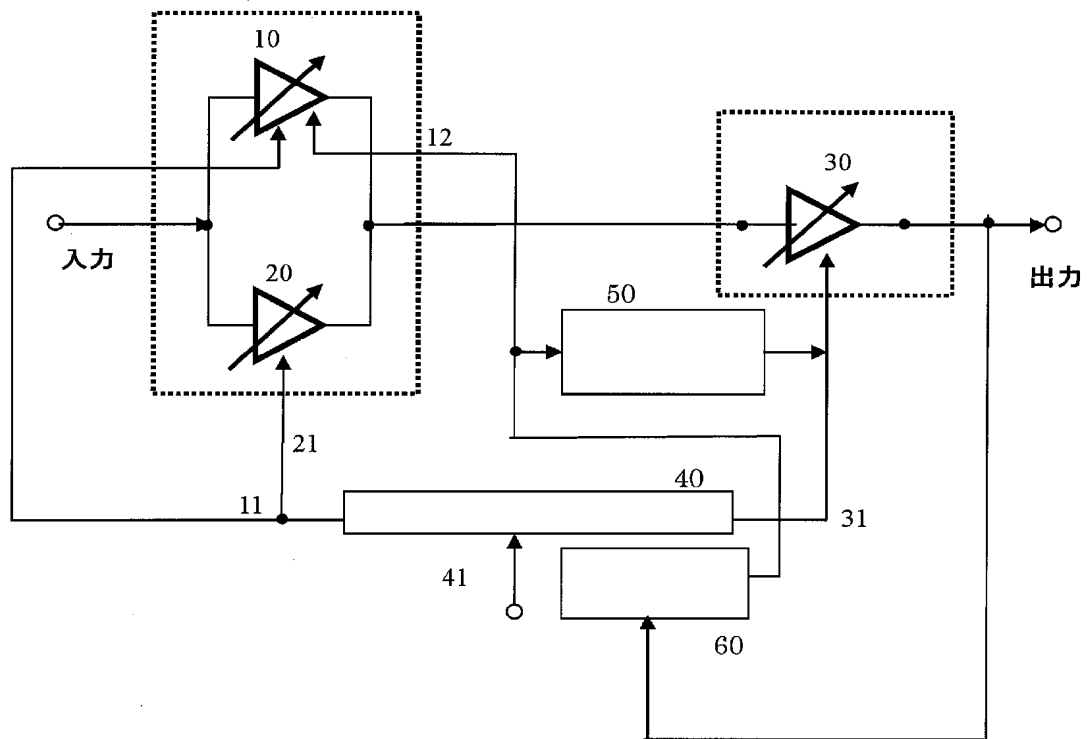
[図4]



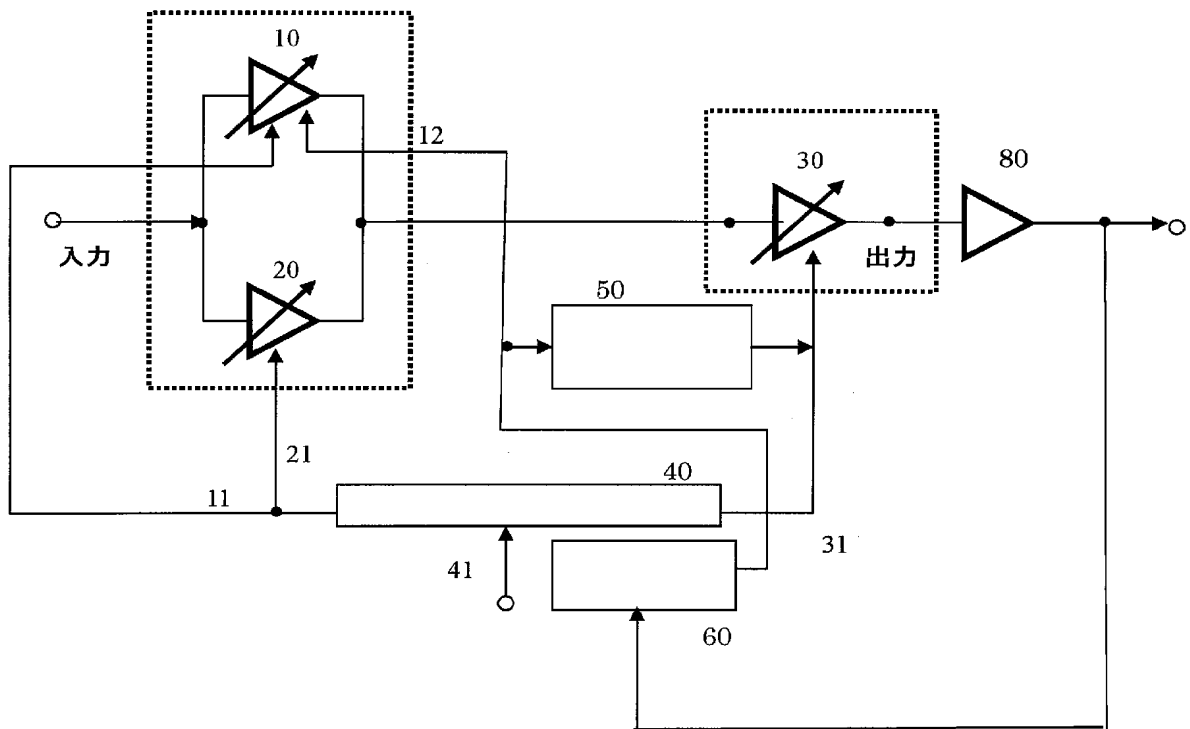
[図5]



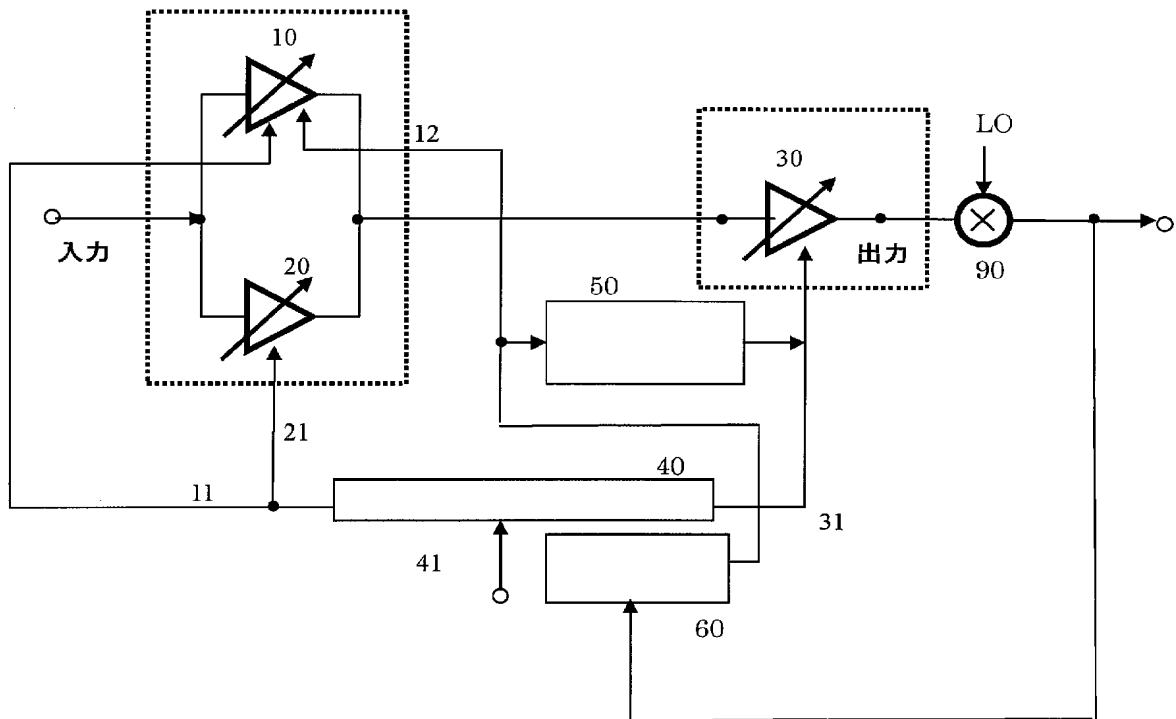
[図6]



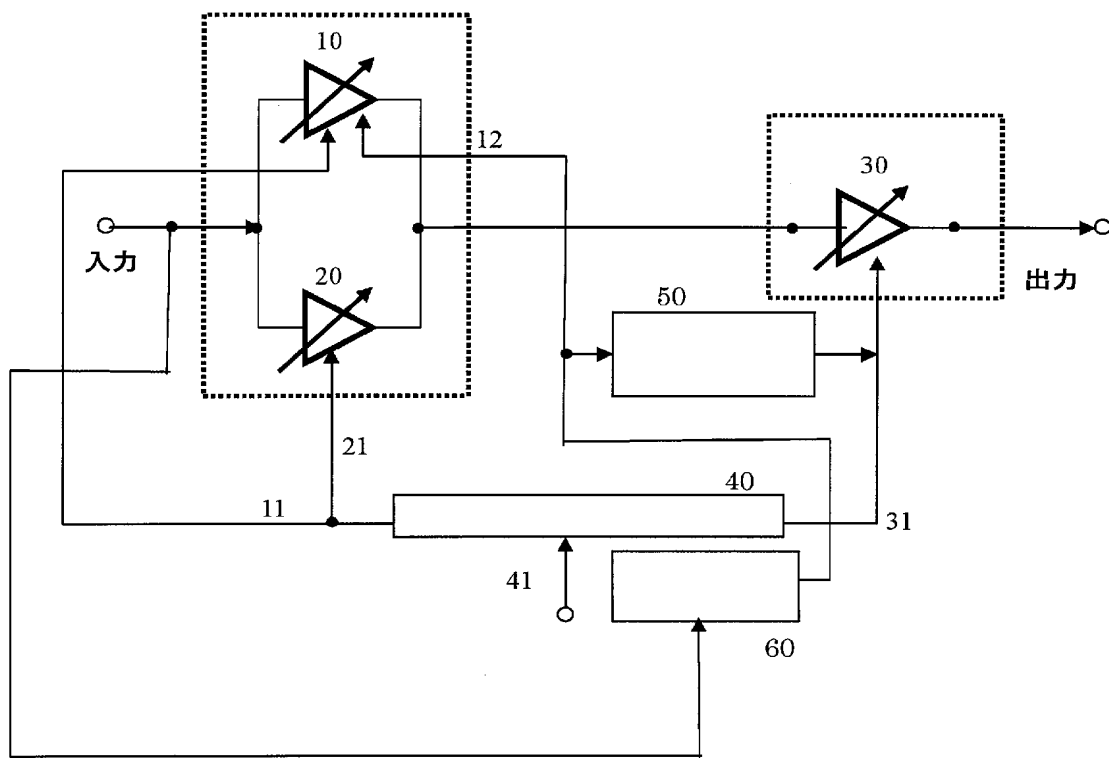
[図7]



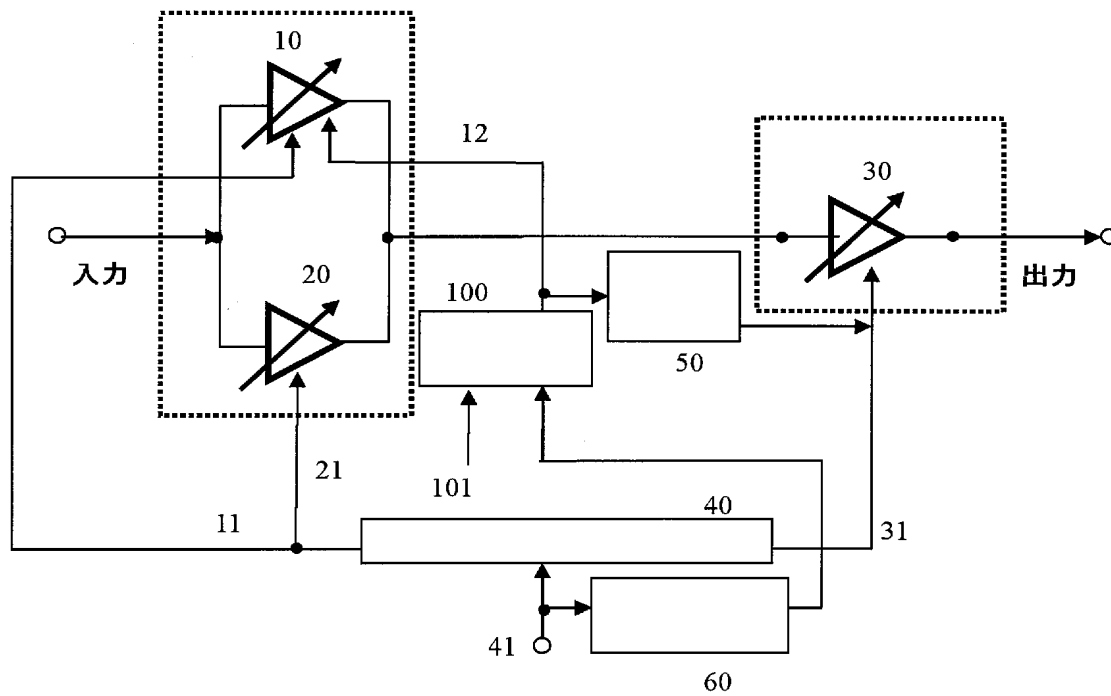
[図8]



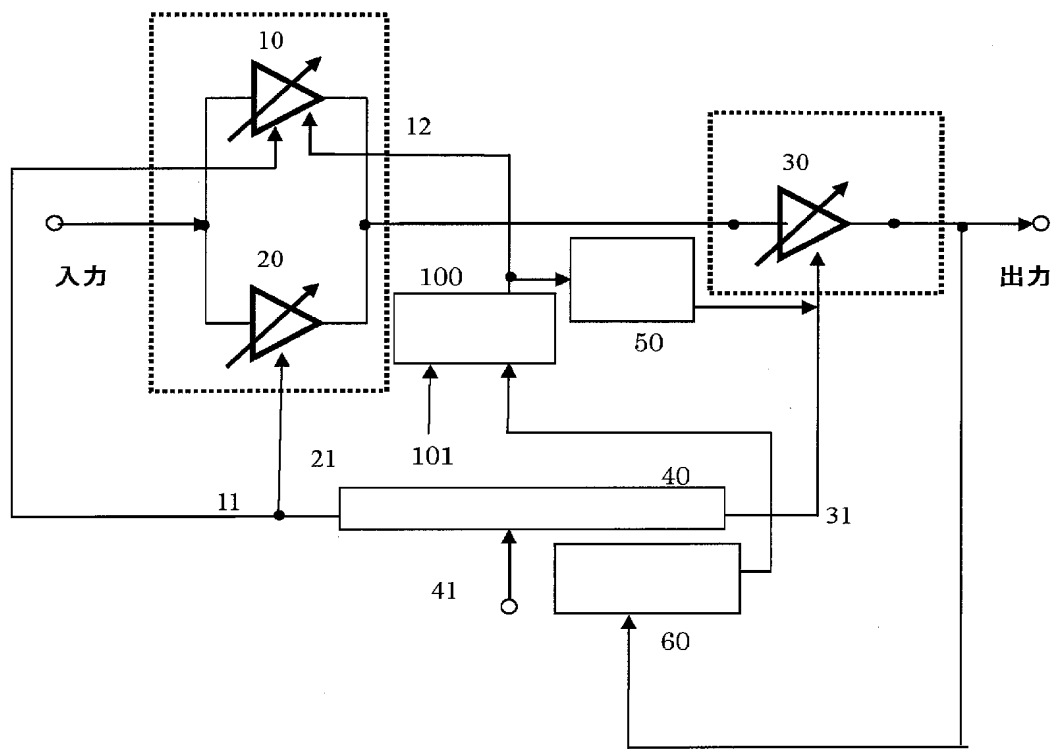
[図9]



[図10]

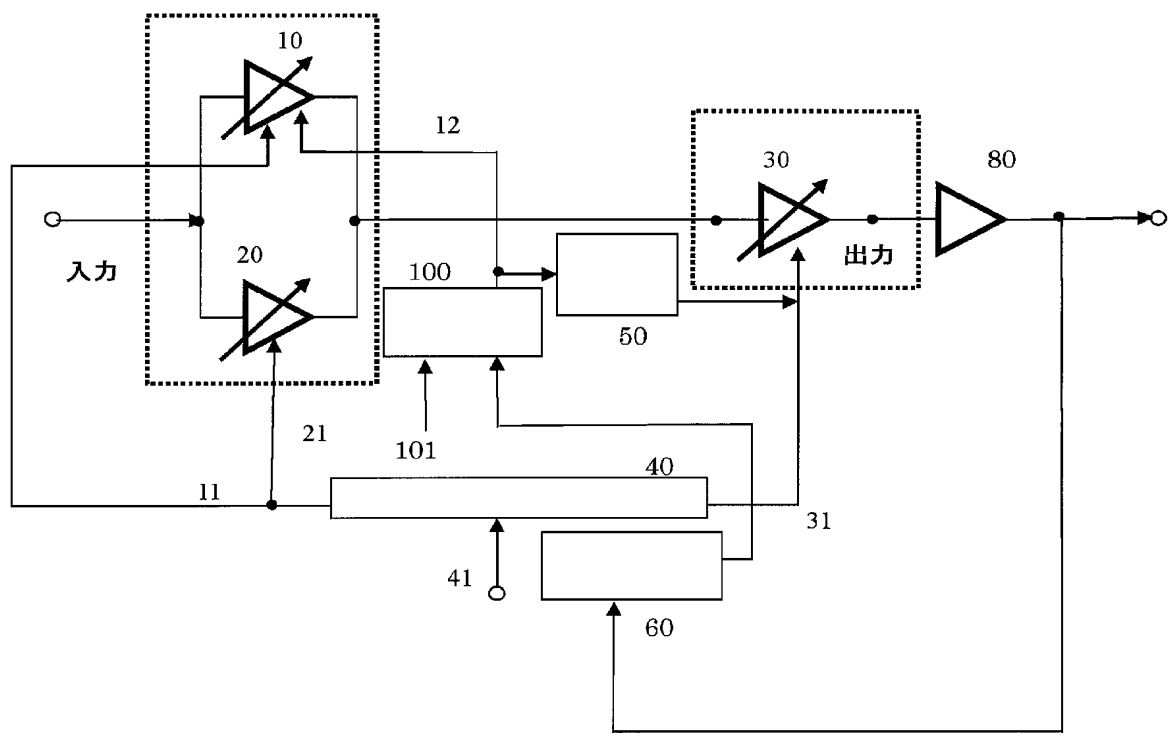


[図11]

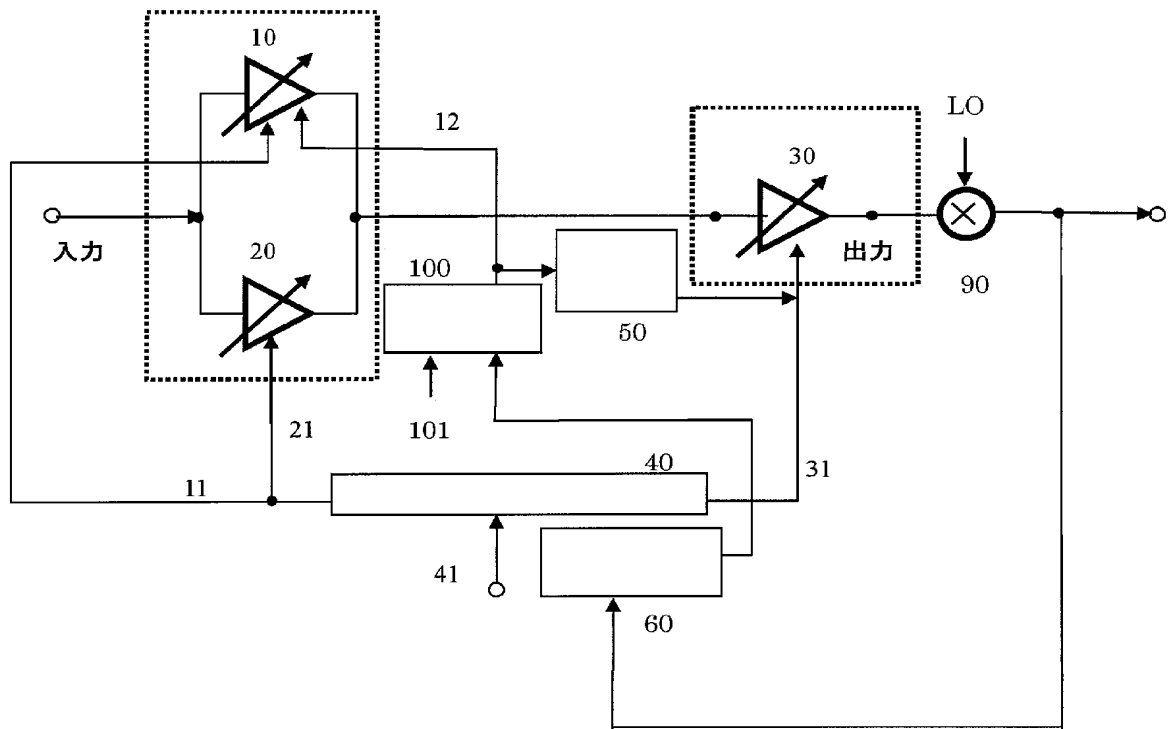




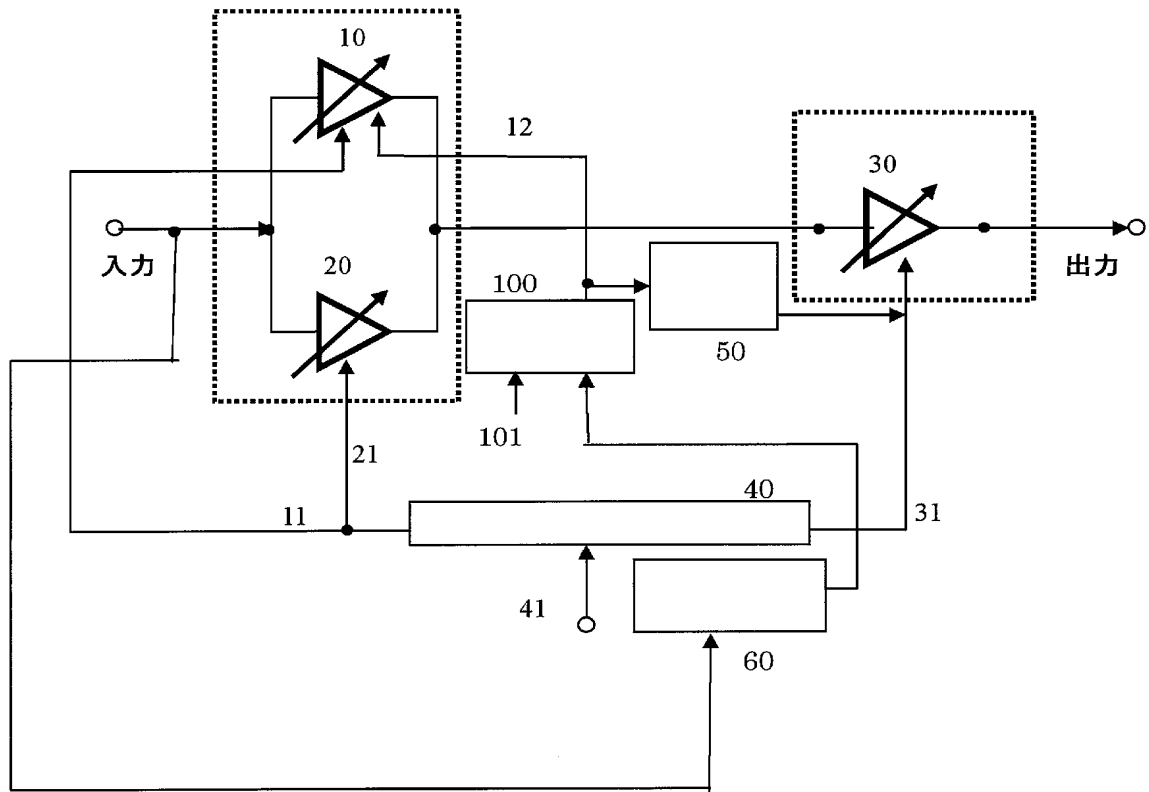
[図12]



[図13]

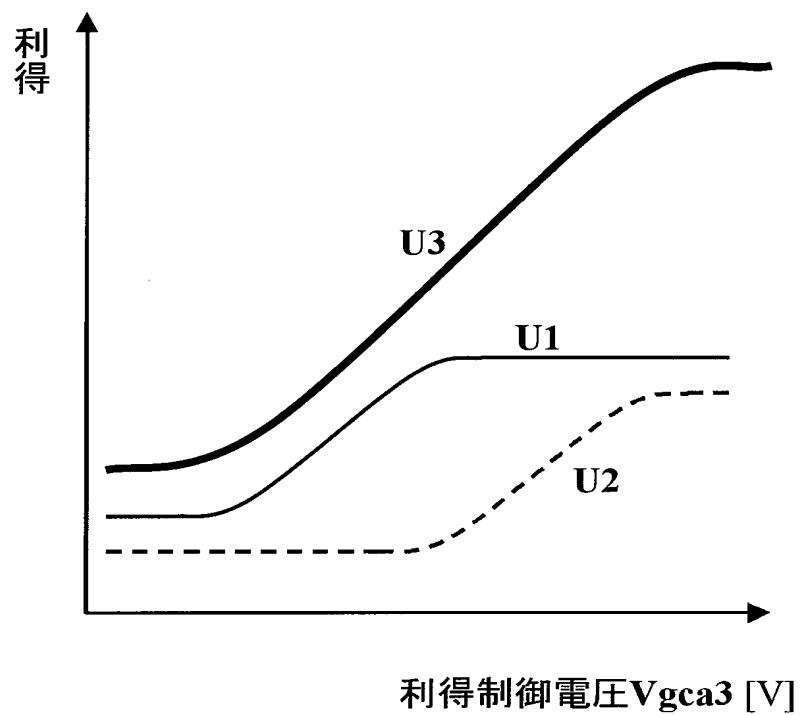


[図14]

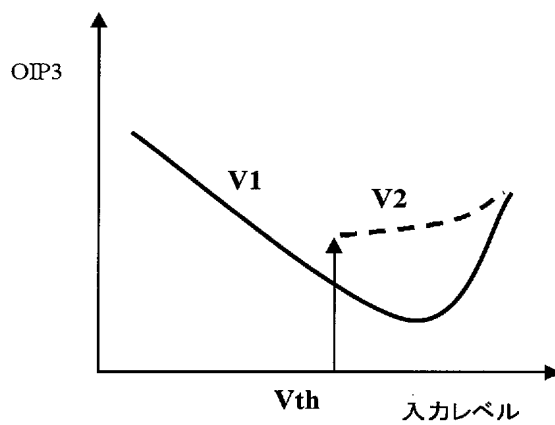


[illegible]

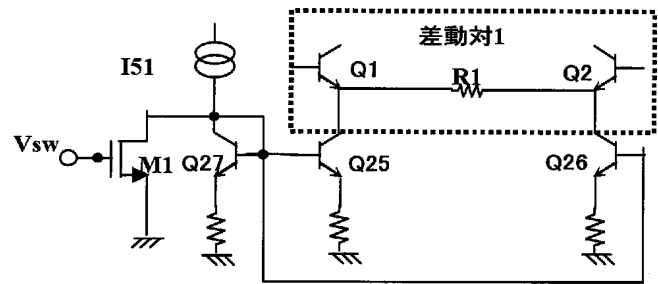
[図16]



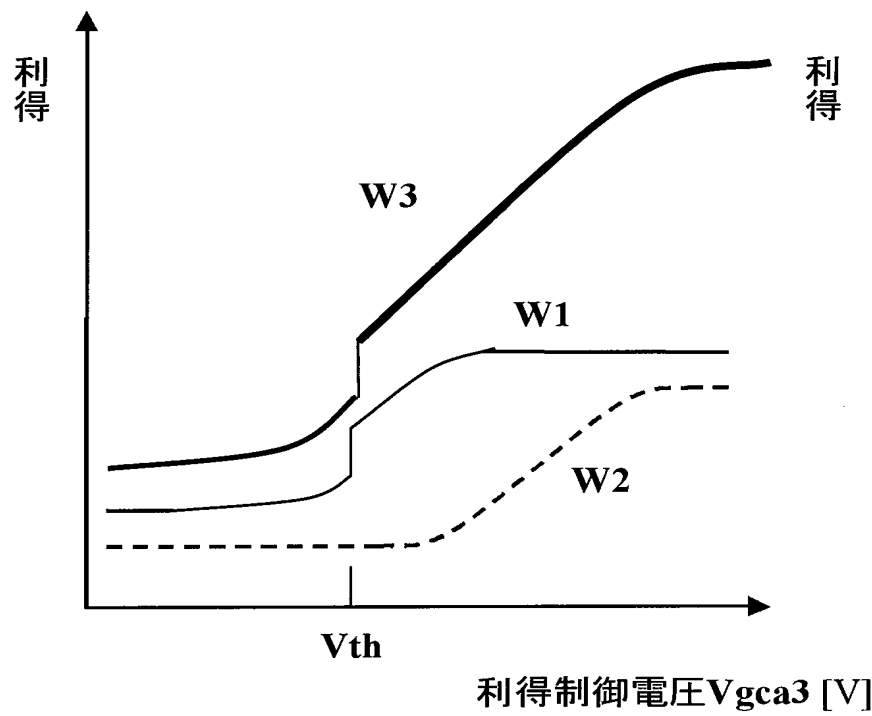
[図17]



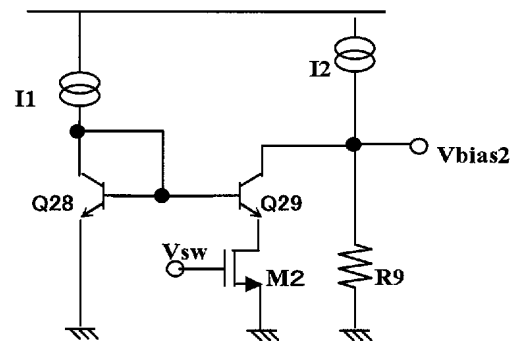
[図18]



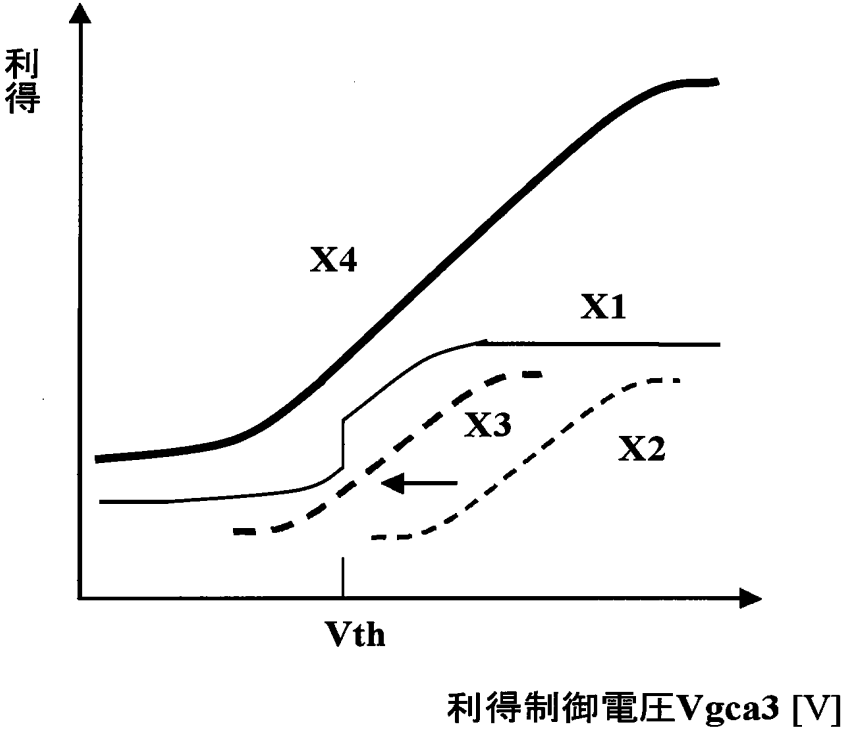
[図19]



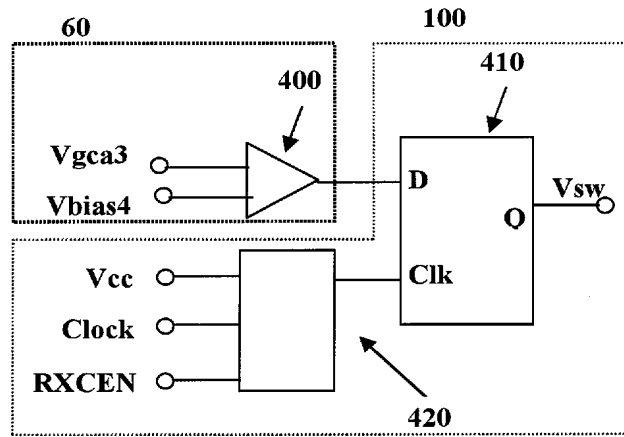
[図20]



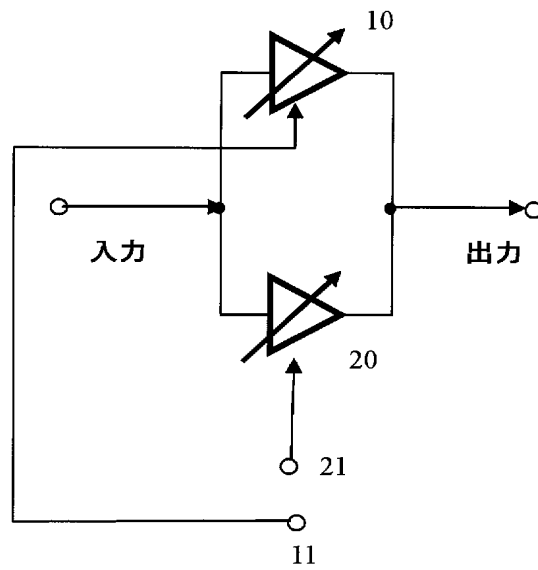
[図21]



[図22]

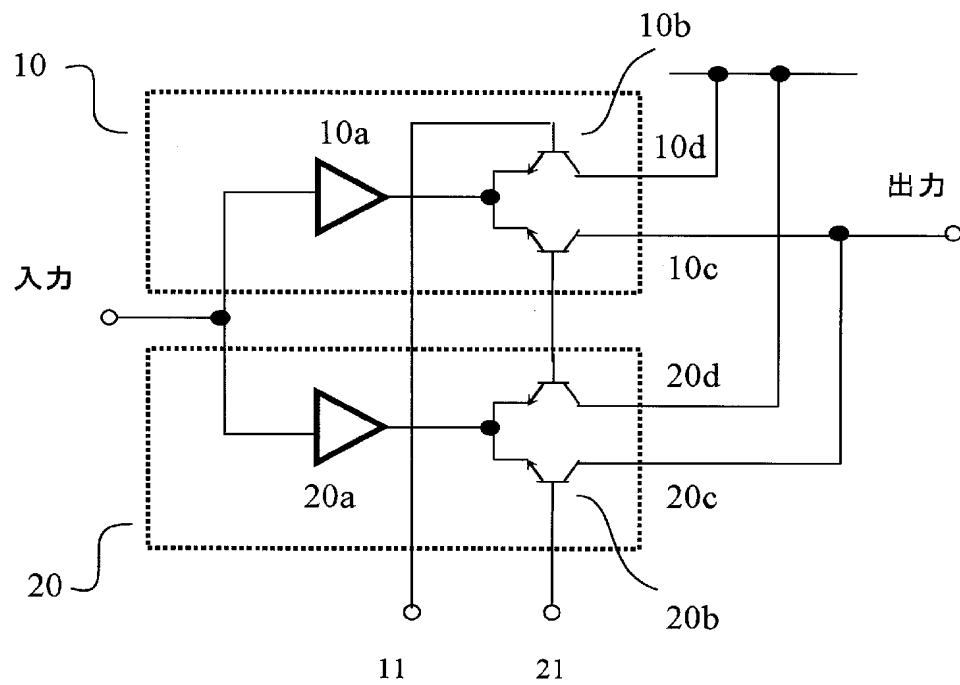


[図23]

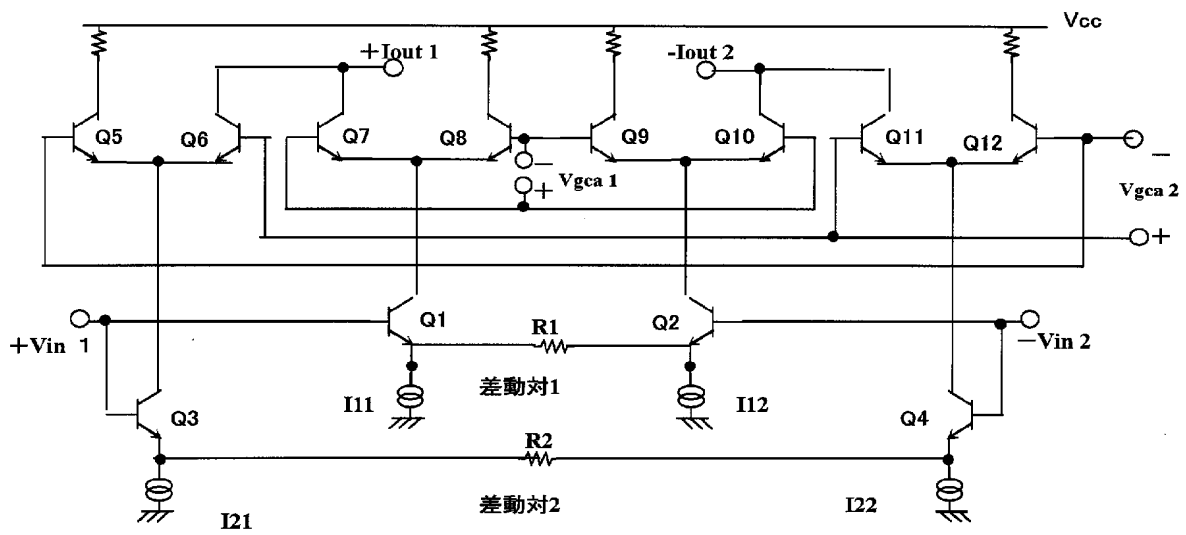




[図24]



[図25]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001129

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H03G3/00, H03G3/20, H03F3/68

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03G3/00, H03G3/20, H03F3/68, H04B1/04, H04B1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-510888 A (Maxim Integrated Products, Inc.), 09 April, 2002 (09.04.02), Full text; all drawings & US 6049251 A1 & EP 1066683 A & WO 99-050956 A1 & CA 2324109 A & IL 138612 D	1-2, 4-5, 8 6-7, 9-11, 14, 15, 18, 20-21 3, 12, 13, 16, 17, 19
Y	JP 09-321637 A (Sony Corp.), 12 December, 1997 (12.12.97), Full text; all drawings (Family: none)	6-7, 9-11, 14, 15, 18, 20-21
A	JP 2000-323947 A (Lucent Technologies Inc.), 24 November, 2000 (24.11.00), Full text; all drawings & EP 1049249 A1	1-21

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
26 April, 2005 (26.04.05)

Date of mailing of the international search report  
31 May, 2005 (31.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.7 H03G3/00, H03G3/20, H03F3/68

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.7 H03G3/00, H03G3/20, H03F3/68, H04B1/04, H04B1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A Y	<p>J P 2 0 0 2 - 5 1 0 8 8 8 A (マキシム・インテグレート ド・プロダクツ・インコーポレーテッド) 2 0 0 2 . 0 4 . 0 9 , 全文, 全図</p> <p>&amp; U S 6 0 4 9 2 5 1 A 1 , &amp; E P 1 0 6 6 6 8 3 A , &amp; W O 9 9 - 0 5 0 9 5 6 A 1 , &amp; C A 2 3 2 4 1 0 9 A , &amp; I L 1 3 8 6 1 2 D</p> <p>J P 0 9 - 3 2 1 6 3 7 A (ソニー株式会社) 1 9 9 7 . 1 2 . 1 2 , 全文, 全図 (ファミリーなし)</p>	<p>1-2, 4-5, 8 6-7, 9-11, 14, 15, 18, 20-21 3, 12, 13, 16 , 17, 19</p> <p>6-7, 9-11, 14, 15, 18, 20-21</p>

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26. 04. 2005

国際調査報告の発送日

31. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 孝治

電話番号 03-3581-1101 内線 3576

5W

8843

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-323947 A (ルーセント テクノロジーズ インコーポレーテッド) 2000.11.24, 全文, 全図 & EP 1049249 A1	1-21